

PCT/KR 99 / 00595

RO/KR 30.10.1999

091787926

REC'D 09 NOV 1999

WIPO PCT

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 1998년 특허출원 제41936호  
Application Number

출원년월일 : 1998년 10월 1일  
Date of Application

출원인 : 주식회사 우리기술  
Applicant(s)

PRIORITY  
DOCUMENT

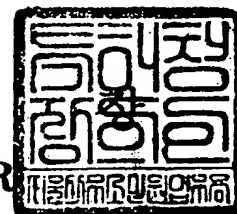
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)



1999 년 10 월 13 일

특 허 청

COMMISSIONER



## 특허출원서

【출원번호】 98-049136

【출원일자】 1998/11/16

【국제특허분류】 H01L 27/08

【발명의 국문명칭】 반도체 장치 및 그 제조 방법

【발명의 영문명칭】 SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

【출원인】

【국문명칭】 미쯔비시 덴기 가부시끼가이샤

【영문명칭】 Mitsubishi Denki Kabushiki Kaisha

【대표자】 기따오파 다까시

【출원인코드】 JP003773

【출원인구분】 외국법인

【주소】 일본 도쿄도 지요다구 마루노우찌 2쵸메 2-3

【국적】 JP

【대리인】

【성명】 장수길

【대리인코드】 K010

【전화번호】 02-764-8855

【우편번호】 110-350

【주소】 서울특별시 종로구 운니동 114-31, 서울빌딩

【대리인】

【성명】 주성민

【대리인코드】 K182

【전화번호】 02-764-8855

【우편번호】 110-350

【주소】 서울특별시 종로구 운니동 114-31, 서울빌딩

【대리인】

【성명】 구영창

【대리인코드】 A368

【전화번호】 02-764-8855

【우편번호】 110-350

【주소】 서울특별시 종로구 운니동 114-31, 서울빌딩

【발명자】

【국문성명】 사야마 히로카즈

【영문성명】 SAYAMA, Hirokazu

【주소】 일본 도쿄도 지요다구 마루노우찌 2쵸메 2-3  
미쯔비시 덴기 가부시끼가이샤 내

【국적】 JP

【발명자】

【국문성명】 니시다 마사오

【영문성명】 NISHIDA, Masao

【주소】 일본 도쿄도 지요다구 마루노우찌 2쵸메 2-3  
미쯔비시 덴기 가부시끼가이샤 내

【국적】 JP

【우선권주장】

【출원국명】 JP

【출원종류】 특허

【출원번호】 98-79106

【출원일자】 1998.03.26

【증명서류】 첨부

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

장수길 (인)

대리인

주성민 (인)

대리인

구영창 (인)

【심사청구】 특허법 제60조의 규정에 의하여 위와 같이 출원심사를 청구합니다.

대리인

장수길 (인)

대리인

주성민 (인)

대리인

구영창 (인)

【수신처】 특허청장 귀하

【수수료】

【기본출원료】 20 면

29,000 원

【가산출원료】 55 면

55,000 원

【우선권주장료】 1 건

26,000 원

【심사청구료】 3 항

205,000 원

【합계】 315,000 원

【첨부서류】 1. 요약서, 명세서(및 도면) 각 1통

2. 출원서 부분, 요약서, 명세서(및 도면)을 포함하는 FD부분 1통

3. 위임장(및 동 번역문) 각 1통

4. 우선권 주장 증명서류 및 동 번역문 각 1통

5. 명세서 원문 1통

## 【요약서】

### 【요약】

본 발명은 긴 수명, 높은 동작 속도 및 제조 공정의 용이화를 동시에 실현하기 위한 것이다.

반도체 기판(1)에, 높은 게이트 전압이 인가되는 고전압 소자 H와 낮은 게이트 전압이 인가되는 저전압 소자 L이 만들어져 있다. 게이트 절연막(7, 17)에는 열산화에 의해 버즈 비크(Bird's Beak)(8, 18)가 형성되어 있다. 고전압 소자 H의 게이트 전극(9)은 저전압 소자 L의 게이트 전극(19)보다도 게이트 길이가 짧게 설정되기 때문에, 게이트 절연막 안에서 버즈 비크가 차지하는 비율은 저전압 소자 L에서는 작고, 고전압 소자 H에서는 높다. 이 때문에, 고전압 소자 H에서는 내압이 높고 경시(經時) 열화가 억제되어 오랜 수명이 실현된다. 또한, 저전압 소자 L에서는 높은 전류 구동 능력이 얻어져 동작의 고속화가 실현된다.

### 【대표도】

도 1

【명세서】

【발명의 명칭】

반도체 장치 및 그 제조 방법

【도면의 간단한 설명】

도 1은 제1 실시 형태의 장치의 정면 단면도.

도 2는 도 1의 장치의 제조 공정도.

도 3은 도 1의 장치의 제조 공정도.

도 4는 도 1의 장치의 제조 공정도.

도 5는 도 1의 장치의 제조 공정도.

도 6은 도 1의 장치의 제조 공정도.

도 7은 도 1의 장치의 제조 공정도.

도 8은 도 1의 장치의 제조 공정도.

도 9는 도 1의 장치의 제조 공정도.

도 10은 도 1의 장치의 제조 공정도.

도 11은 도 1의 장치의 제조 공정도.

도 12는 제2 실시 형태의 장치의 정면 단면도.

도 13은 도 12의 장치의 제조 공정도.

도 14는 제3 실시 형태의 장치의 정면 단면도.

도 15는 도 14의 장치의 제조 공정도.

도 16은 제4 실시 형태의 장치의 정면 단면도.

도 17은 도 16의 장치의 제조 공정도.

도 18은 제5 실시 형태의 장치의 정면 단면도.

도 19는 도 18의 장치의 제조 공정도.

도 20은 도 18의 장치의 제조 공정도.

도 21은 제6 실시 형태의 장치의 정면 단면도.

도 22는 도 21의 장치의 제조 공정도.

도 23은 도 21의 장치의 제조 공정도.

도 24는 도 21의 장치의 제조 공정도.

도 25는 도 21의 장치의 제조 공정도.

도 26은 도 21의 장치의 제조 공정도.

도 27은 제6 실시 형태의 장치의 다른 제조 방법을 도시한 공정도.

도 28은 제7 실시 형태의 제조 방법을 도시한 공정도.

도 29는 제7 실시 형태의 제조 방법을 도시한 공정도.

도 30은 제7 실시 형태의 장치의 다른 제조 방법을 도시한 공정도.

도 31은 제7 실시 형태의 장치의 다른 제조 방법을 도시한 공정도.

도 32는 제8 실시 형태의 장치의 정면 단면도.

도 33은 도 32의 장치의 제조 공정도.

도 34는 도 32의 장치의 제조 공정도.

도 35는 도 32의 장치의 제조 공정도.

도 36은 제9 실시 형태의 장치의 정면 단면도.

도 37은 도 36의 장치의 제조 공정도.

도 38은 제1 실시 형태0의 장치의 정면 단면도.

도 39는 도 38의 장치의 제조 공정도.

도 40은 종래의 장치의 정면 단면도.

도 41은 또 하나의 종래 장치의 정면 단면도.

도 42는 도 41의 장치의 제조 공정도.

도 43은 도 41의 장치의 제조 공정도.

도 44는 도 41의 장치의 제조 공정도.

도 45는 도 41의 장치의 제조 공정도.

도 46은 도 41의 장치의 제조 공정도.

도 47은 도 41의 장치의 제조 공정도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 반도체 기판

2, 12 : 웰(제1 반도체 영역)

3, 13 : 소스·드레인 영역(제2 반도체 영역)

4, 14 : 확장 영역

7, 17 : 게이트 절연막

9, 19 : 게이트 전극

8, 18 : 버즈 바크

10, 20 : 소스 전극(주 전극)

11, 21 : 드레인 전극(주 전극)

25, 26 : 질소 도입 영역

30, 36 : 실리사이드 층(반도체 금속 화합물층)

51, 52 : 절연막

53 : 도전성 재료

L : 저전압 소자(제1군의 소자)

H : 고전압 소자(제2군의 소자)

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

본 발명은 복수의 절연 게이트 소자를 갖는 반도체 장치 및 그 제조 방법에 관한 것으로, 특히 고속 동작, 긴 수명 및 제조 방법의 용이화를 동시에 실현하기 위한 개량에 관한 것이다.

MOS 트랜지스터를 다수 구비하는 LSI 등의 반도체 장치에 있어서, MOS 트랜지스터의 게이트 전압을 복수 종류 이용하는 것이 있다. 예를 들면, 어떤 종류의 DRAM은 메모리 셀과 주변 회로에, 게이트 전압이 다른 2종류의 MOS 트랜지스터를 구비하고 있다. 그리고, 전자(前者)에서는 메모리 셀에 구비되는 캐패시터에 대해, 순간적으로 전하를 충전 또는 방전할 필요가 있기 때문에, 후자에 비해 높은 게이트 전압이 인가된다.

도 40은 이와 같은 게이트 전압이 다른 2종류의 MOS 트랜지스터를 구비하는



종래의 반도체 장치의 일례를 도시한 정면 단면도이다. 이런 종래 장치(151)에서는 높은 게이트 전압이 인가되는 고전압 소자 H와, 그것보다도 낮은 게이트 전압이 인가되는 저전압 소자 L이 공통의 반도체 기판(71)에 만들어져 있다. 두 소자는 모두 MOS 트랜지스터이고, 각각은 반도체 기판(71) 위의 주요면에 형성된 절연체의 소자 분리부(76)에 의해 인접하는 다른 소자와 전기적으로 분리되어 있다.

반도체 기판(71) 위의 주요면에는 p형 웰(72, 82)이 소자 분리부(76) 사이에 끼워져 소자 H, L의 영역 전체로 넓어진다. p형 웰(72, 82)의 노출면에는 그 중앙부를 사이에 두고 n형의 소스·드레인 영역(73, 83)이 선택적으로 형성되어 있다. 중앙부 상에는 게이트 절연막(77, 87)이 각각 형성되고, 그들 위에는 게이트 전극(79, 89)이 형성되어 있다. 소스·드레인 영역(73)의 노출면에는 소스 전극(80) 및 드레인 전극(81)이 접속되고, 마찬가지로 소스·드레인 영역(83)의 노출면에는 소스 전극(90) 및 드레인 전극(91)이 접속되어 있다.

고전압 소자 H에서는, 인가되는 게이트 전압이 높기 때문에, 그 게이트 절연막(77)에는 저전압 소자 L에서 보다도 높은 전계가 인가된다. 게이트 절연막(77)은 이 고전계에 견디고, 게다가 전계와 강한 상관을 갖는 경시(經時) 열화를 억제할 수 있을 정도로 충분한 두께일 필요가 있다. 한편, 저전압 소자 L의 게이트 절연막(87)에서는, 인가되는 전계가 낮기 때문에 게이트 절연막(77) 만큼 두껍게 형성될 필요는 없다.

또한, 장치(151)이, 예를 들면 DRAM이고, 고전압 소자 H가 메모리 셀에 속하며, 저전압 소자 L이 주변 회로에 속할 경우에는, 저전압 소자 L은 고전압 소자 H

만큼 높은 게이트 전압에 견디어 낼 필요는 없지만, 고속 동작을 실현하기 위해 높은 전류 구동 능력을 갖는 것이 필요하게 된다. 일반적으로, MOS 트랜지스터에서는 게이트 절연막이 얇은 만큼 전류 구동 능력은 향상한다.

그러나, 장치(151)에서는 저전압 소자 L의 게이트 절연막(87)은 게이트 절연막(77)과 동일한 두께로 형성되어 있기 때문에, 경시 열화를 억제하여 긴 수명을 보증하는 데에는 필요 이상으로 여유를 갖는 한편, 전류 구동 능력에 대해서는 충분한 능력을 발휘할 수 없어, 고속 동작을 방해하는 요인으로 되고 있었다. 즉, 장치(151)에서는 긴 수명과 고속 동작이 양립하여 실현되지 않는다는 문제점이 있었다.

이 문제점은, 장치(151)가 DRAM으로서 구성될 경우 뿐만 아니라, 다른 반도체 장치일 경우에서도 마찬가지로 일어날 수 있다. 예를 들면, 외부 전원 전압의 입력을 받고, 이 전압보다도 낮은 전원 전압을 내부 전압으로서 생성하는 외부 전원 입력부를 구비하는 반도체 장치에서는, 외부 전원 입력부에 속하는 MOS 트랜지스터에는 게이트 전압으로서 상대적으로 높은 전압이 인가되고, 내부 전원의 공급을 받는 MOS 트랜지스터에는 상대적으로 낮은 전압이 인가된다.

이런 문제점을 해소하기 위해, 도 41에 도시한 바와 같이 종래로부터 「듀얼 옥사이드(Dual Oxide)」형이라 불리는 장치(152)가 제안되어 있다. 장치(152)에서는 저전압 소자 L의 게이트 절연막(92)이 고전압 소자 H의 게이트 절연막(77)보다도 얇다. 즉, 게이트 절연막의 두께가 모든 소자를 통해 한결같지 않아, 필요한 내압과 전류 구동 능력에 따라 개별로 배치된다. 이 때문에, 고전압 소자 H에서는

고내압 및 긴 수명이 보증되고, 저전압 소자 L에서는 높은 전류 구동 능력이 보증된다. 즉, 긴 수명과 높은 동작 속도가 양립적으로 실현된다.

그러나, 이 장치(152)는 도 42~도 47의 공정도가 나타낸 바와 같이, 제조 방법이 용이하지 않아, 실시가 곤란하다는 다른 문제점을 갖고 있다. 장치(152)를 제조하려면 먼저 도 42의 공정이 실행된다. 즉, 반도체 기판(71)이 준비된 후, 그 위의 주요면에 소자 분리부(76) 및 웰(72, 82)이 형성된다. 웰(72, 82)은 소자 분리부(76) 사이에 끼어진 각 영역 중에서 고전압 소자 H, 저전압 소자 L이 형성되어야 할 영역에 각각 형성된다.

도 43에 도시된 바와 같이, 반도체 기판(71) 위의 주요면, 즉 웰(72, 82)의 노출면 상에 그들 전체에 걸쳐 절연막(93, 94)이 각각 형성된다. 도 44에 도시한 바와 같이, 절연막 93은 개구시키고, 절연막 94를 선택적으로 덮는 차폐체(95)가 형성된다.

도 45에 도시한 바와 같이, 차폐체(95)로 차폐되지 않는 부분, 즉 절연막 93 상에 절연막이 더 퇴적된다. 그 결과, 절연막 93이 선택적으로 두꺼워지는 한편, 절연막 94는 원래의 두께로 남는다. 도 46과 도 47에 도시한 바와 같이, 차폐체(95)가 제거된 후, 게이트 전극(79, 89)이 절연막(93, 94) 상에 각각 형성된다.

도시를 생략했지만, 그후 게이트 전극(79, 89)을 차폐체로 하여 n형 불순물을 선택적으로 도입함으로써, 도 41에 도시한 바와 같이 소스·드레인 영역(73, 83)이, 웰(72, 82)의 노출면에서 각각 선택적으로 형성된다. 또한, 소스 전극(80) 및 드레인 전극(81)이 소스·드레인 영역(73)의 노출면 위에서 게이트 전극(79)을

사이에 두도록 형성된다. 그와 동시에, 소스 전극(90) 및 드레인 전극(91)이 소스·드레인 영역(83)의 노출면 위에서 게이트 전극(89)을 사이에 두도록 형성된다. 이상의 공정을 거침으로써, 장치(152)가 제조된다.

장치(152)에서는 이상과 같이 선택적인 개구부를 갖는 차폐체(95)를 형성하고, 이 차폐체(95)를 이용함으로써, 2층의 공정을 거쳐 게이트 절연막(77)을 형성할 필요가 있어, 제조 공정이 복잡해진다는 문제점이 있으며, 수율의 점에서도 문제가 있기 때문에, 실용화는 곤란하다고 말해지고 있다.

#### 【발명이 이루고자 하는 기술적 과제】

본 발명은 종래의 장치에서의 상기한 문제점을 해소하기 위해 이루어진 것으로, 긴 수명과 높은 동작 속도를, 곤란한 제조 공정을 요하지 않고 실현할 수 있는 반도체 장치를 얻는 것을 목적으로 하고 있고, 또한 이 반도체 장치의 제조에 적합한 방법을 제공하는 것을 목적으로 한다.

제1 발명의 장치는 복수의 소자가 반도체 기판에 만들어진 반도체 장치에 있어서, 상기 반도체 기판이 주요면을 규정하고, 상기 복수의 소자 각각은 상기 주요면에서 선택적으로 노출하도록 상기 반도체 기판에 형성되어 있는 제1 도전 형식의 제1 반도체 영역과, 상기 제1 반도체 영역을 사이에 두고 상기 주요면에서 선택적으로 노출하도록, 서로 분리하여 상기 반도체 기판에 선택적으로 형성되어 있는 제2 도전 형식의 한쌍의 제2 반도체 영역과, 상기 제1 반도체 영역이 노출하는 면 위에 배치된 게이트 절연막과, 상기 게이트 절연막상에 배치된 게이트 전극을 구비한다.

그리고, 상기 복수의 소자가, 각 군(群)이 당해 복수의 소자 중 적어도 한개를 포함하는 복수 군으로 분류되고, 상기 한쌍의 제2 반도체 영역의 한쪽에서 다른 쪽으로 향하는 방향에 따른 상기 게이트 전극의 길이인 게이트 길이가 상기 복수 군 중의 제1군보다도 제2군에서 짧고, 상기 복수의 소자 각각에서 구비하는 상기 게이트 절연막은 상기 게이트 전극 바로 아래의 영역 중에서 상기 방향을 따라 단부에서 중앙부로 향해 연장하는 후막부(厚膜部)인 한쌍의 버즈 비크(Bird's Beak)를 갖고 있고, 상기 게이트 절연막은 적어도 상기 제1군에 있어서는 상기 한쌍의 버즈 비크 사이에 끼워져 상기 한쌍의 버즈 비크보다도 얇은 부분을 갖고, 상기 게이트 전극 바로 아래의 상기 영역 중에서 상기 한쌍의 버즈 비크가 차지하는 비율이 상기 제1군보다도 상기 제2군에서 높게 되어 있다.

제2 발명의 장치는 제1 발명의 반도체 장치에 있어서, 상기 복수의 소자 각각이 상기 한쌍의 제2 반도체 영역으로부터 상기 한쌍의 버즈 비크의 저부(底部)를 덮도록 당해 저부와 상기 반도체 기판과의 경계면에서 선택적으로 노출되어 설치되고, 서로 분리된 제2 도전 형식의 한쌍의 확장(extension) 영역을 더 구비하며, 당해 한쌍의 확장 영역은 상기 한쌍의 제2 반도체 영역에 비해 저부가 얇고, 더구나 낮은 불순물 농도로 형성되어 있다.

제3 발명의 장치는 제1 발명의 반도체 장치에 있어서, 상기 한쌍의 제2 반도체 영역이 상기 한쌍의 버즈 비크의 저부를 각각 덮고 있다.

제4 발명의 장치는 제1 내지 제3 중 어느 한 발명의 반도체 장치에 있어서, 상기 비율이 상기 제2군에 있어서 100%이다.

제5 발명의 장치는 제1 내지 제4 중 어느 한 발명의 반도체 장치에 있어서, 상기 복수의 소자 각각이 상기 한쌍의 제2 반도체 영역이 노출되는 면 및 상기 한쌍의 버즈 비크의 저부와 상기 반도체 기판의 경계면 부분에서 선택적으로 노출되도록 상기 반도체 기판에 선택적으로 형성되고, 질소를 함유하는 질소 도입 영역을 더 구비한다.

제6 발명의 장치는 제1 내지 제5 중 어느 한 발명의 반도체 장치에 있어서, 상기 한쌍의 제2 반도체 영역이 노출되는 면이 상기 제1 및 제2군의 적어도 한 군에 있어서는 상기 한쌍의 버즈 비크 바로 아래에서 벗어난 영역에서 상기 한쌍의 버즈 비크의 저부보다도 높은 위치에 있다.

제7 발명의 장치는 제1 내지 제6 중 어느 한 발명의 반도체 장치에 있어서, 상기 복수의 소자 중에서 상기 제1 및 제2군의 적어도 한 군에 속하는 소자 각각이 상기 한쌍의 제2 반도체 영역이 노출되는 면 위에 형성되어 있는 반도체 금속 화합물층과, 당해 반도체 화합물층을 통해 상기 한쌍의 제2 반도체 영역에 각각 접속된 한쌍의 주요 전극을 더 구비하고 있다.

제8 발명의 장치는 제1 내지 제7 중 어느 한 발명의 반도체 장치에 있어서, 상기 게이트 전극이 상기 반도체 기판에 비해 열반응에 대한 내성이 높은 도전성 재료로 실질적으로 구성된다.

제9 발명의 제조 방법은 반도체 장치의 제조 방법에 있어서, (a) 주요면을 규정하고, 제1 도전 형식의 제1 반도체 영역이 상기 주요면에 노출되는 반도체 기판을 준비하는 공정과, (b) 상기 주요면상에 절연막을 형성하는 공정과, (c) 상기

절연막 상에 도전성 재료를 퇴적하는 공정과, (d) 상기 도전성 재료의 선택적 제거를 행함으로써, 상기 주요면을 따른 복수의 영역 각각에 게이트 전극을 형성하고, 게다가 그때에 각 군이 상기 복수의 영역 중 적어도 하나를 포함하도록 상기 복수의 영역이 분류되어 이루어지는 복수 군 중의 제1군보다도 제2군에서, 상기 게이트 전극의 게이트 길이가 짧아지도록 상기 도전성 재료의 상기 선택적 제거를 행하는 공정과, (e) 열반응 처리를 행함으로써, 상기 복수의 영역 각각에 있어서 상기 게이트 전극에 피복되지 않은 상기 절연막 부분을 후막화함과 동시에, 상기 게이트 전극 바로 아래의 영역으로도 후막화된 부분을 한쌍의 버즈 비크로서 침입시키고, 게다가 적어도 상기 제1군에 있어서는 상기 게이트 전극 바로 아래의 영역 중에서 상기 한쌍의 버즈 비크가 침입하지 않은 부분이 남으며, 상기 게이트 전극 바로 아래의 상기 영역 중에서 상기 한쌍의 버즈 비크가 차지하는 비율이 상기 제1군보다도 상기 제2군에 있어서 높아지도록 상기 열반응 처리를 행하는 공정과, (f) 적어도 상기 공정 (d)보다도 후에, 상기 게이트 전극을 차폐체의 적어도 주요 부분으로서 이용하여 제2 도전 형식의 불순물을 상기 주요면에 선택적으로 도입함으로써, 상기 복수의 영역 각각에 있어서 상기 게이트 전극 바로 아래에 있어서의 상기 제1 반도체 영역이 노출되는 면을 사이에 두고 상기 주요면에서 선택적으로 노출되도록 서로 분리하여 한쌍의 제2 반도체 영역을 상기 반도체 기판에 선택적으로 형성하는 공정을 구비하고 있다.

제10 발명의 제조 방법은 제9 발명의 반도체 장치 제조 방법에 있어서, (g) 상기 공정 (d)보다도 후에, 상기 공정 (e)보다도 전에, 상기 게이트 전극을 차폐체

로서 이용하여 제2 도전 형식의 불순물을 상기 주요면에 선택적으로 도입함으로써, 상기 복수의 영역 각각에서 상기 절연막이 후막화되는 상기 주요면 내의 영역 전체에 선택적으로 노출되고, 상기 한쌍의 제2 반도체 영역에 비해 저부가 얇고 계다가 불순물 농도가 낮아지도록, 제2 도전 형식의 한쌍의 확장 영역을 상기 반도체 기판에 선택적으로 형성하는 공정을 더 구비한다.

제11 발명의 제조 방법은 제9 발명의 반도체 장치 제조 방법에 있어서, 상기 공정 (f)에 있어서 상기 게이트 전극을 상기 차폐체로서 이용하여 상기 불순물의 도입이 행해지고, 그것에 의해 상기 한쌍의 제2 반도체 영역이 상기 절연막이 후막화되는 상기 주요면 내의 영역 전체에 선택적으로 노출되도록 형성된다.

제12 발명의 제조 방법은 제9 내지 제11 중 어느 한 발명의 반도체 장치 제조 방법에 있어서, 상기 공정 (e)에 있어서 상기 비율이 상기 제2군에 있어서 100%가 되도록 상기 열반응 처리가 행해진다.

제13 발명의 제조 방법은 제9 내지 제12 중 어느 한 발명의 반도체 장치 제조 방법에 있어서, (h) 상기 공정 (d)보다도 후에, 상기 공정 (e)보다도 전에, 상기 게이트 전극을 차폐체로서 이용하여 질소를 상기 주요면에 선택적으로 도입함으로써, 상기 복수의 영역 각각에 있어서 상기 절연막이 후막화되는 상기 주요면 내의 영역 전체에서 선택적으로 노출되고, 질소를 함유하는 질소 도입 영역을 상기 반도체 기판에 선택적으로 형성하는 공정을 더 구비한다.

제14 발명의 제조 방법은 제9 내지 제13 중 어느 한 발명의 반도체 장치 제조 방법에 있어서, (i) 상기 공정 (e)보다도 후에, 상기 공정 (f)보다도 전에, 상



기 게이트 전극을 차폐체로서 이용하여 선택적 에칭을 행함으로써, 상기 복수의 영역 각각에 있어서 상기 절연막의 후막화된 부분을 선택적으로 제거하는 공정을 더 구비한다.

제15 발명의 제조 방법은 제9 내지 제13 중 어느 한 발명의 반도체 장치 제조 방법에 있어서, (i) 상기 공정 (e)보다도 후에, 상기 공정 (f)보다도 전에, 상기 게이트 전극을 차폐체로서 이용하여 선택적 에칭을 행함으로써, 상기 복수의 영역 각각에 있어서 상기 절연막의 후막화된 부분을 선택적으로 박막화하는 공정을 더 구비한다.

제16 발명의 제조 방법은 제9 내지 제13 중 어느 한 반도체 장치 제조 방법에 있어서, (i) 상기 공정 (e)보다도 후에 상기 공정 (f)보다도 전에, 상기 제1 및 제2군 중 한쪽의 군에 선택적으로 상기 게이트 전극을 차폐체로서 이용하여 선택적 에칭을 행함으로써 상기 절연막의 후막화된 부분을 선택적으로 제거하는 공정을 더 구비한다.

제17 발명의 제조 방법은 제9 내지 제13 중 어느 한 발명의 반도체 제조 방법에 있어서, (i) 적어도 상기 공정 (e)보다도 후에, 상기 게이트 전극을 차폐체로서 이용하여 선택적 에칭을 행함으로써 상기 복수의 영역 각각에서 상기 절연막의 후막화된 부분을 선택적으로 박막화하는 공정과, (j) 상기 공정 (i)보다도 후에, 상기 공정 (f)보다도 전에, 상기 제1 및 제2군 중 한쪽 군에 선택적으로 상기 게이트 전극을 차폐체로서 이용하여 선택적 에칭을 행함으로써 상기 절연막의 박막화된 부분을 선택적으로 제거하는 공정을 더 구비한다.

제18 발명의 제조 방법은 제9 내지 제17 중 어느 한 발명의 반도체 장치 제조 방법에 있어서, (i) 적어도 상기 공정 (e)보다도 후에, 상기 제1 및 제2군 중의 적어도 한쪽 군에 있어서 상기 게이트 전극을 차폐체로서 이용하여 선택적 에칭을 행함으로써 상기 절연막의 후막화된 부분을 선택적으로 제거하는 공정과, (j) 상기 공정 (i)보다도 후에, 상기 공정 (f)보다도 전에, 상기 절연막이 제거된 상기 부분에 노출되는 상기 반도체 기판의 상기 주요면 상에 반도체 층을 퇴적함으로써, 상기 주요면을 상기 부분에 있어서 노출시키는 공정을 더 구비한다.

제19 발명의 제조 방법은 제9 내지 제18 중 어느 한 발명의 반도체 장치 제조 방법에 있어서, (k) 적어도 상기 공정 (e)보다도 후에 상기 제1 및 제2 군의 적어도 한쪽 군에 있어서 상기 한쌍의 제2 반도체 영역이 차지해야 할 상기 주요면의 부분 상에 반도체 금속 화합물층을 형성하는 공정과, (l) 상기 공정 (f) 및 (k) 후에, 상기 반도체 화합물층을 통해 상기 한쌍의 제2 반도체 영역에 각각 접속하는 한쌍의 주 전극을 형성하는 공정을 더 구비한다.

제20 발명의 제조 방법은 제9 내지 제19 중 어느 한 발명의 반도체 장치 제조 방법에 있어서, 상기 공정 (c)에서 퇴적되는 상기 도전성 재료가 열반응에 대한 내성이 상기 반도체 기판에 비해 높은 재료이다.

#### 【발명의 구성 및 작용】

##### <1. 제1 실시 형태>

먼저, 제1 실시 형태의 반도체 장치 및 그 제조 방법에 대해 설명한다.

##### <1-1. 장치의 구성과 동작>

도 1은 제1 실시 형태의 반도체 장치의 정면 단면도이다. 이 장치(101)는 높은 게이트 전압이 인가되는 고전압 소자 H와, 그것보다도 낮은 게이트 전압이 인가되는 저전압 소자 L이 공통의 반도체 기판(1)에 만들어진 다. 이하의 예에서는 반도체 기판(1)은 대표예로서 실리콘 기판이다. 두 소자는 모두 MOS 트랜지스터이고, 각각은 반도체 기판(1) 위의 주요면에 형성되며, 실리콘 산화물로 구성되는 소자 분리부(6)에 의해 인접하는 다른 소자와 전기적으로 분리되어 있다.

반도체 기판(1) 위의 주요면에는 소자 분리부(6) 사이에, 소자 H, L의 각각이 만들어진 영역 전체에 걸쳐, p형의 웰(2, 12)이 각각 형성되어 있다. 웰(2)의 노출면에는 그 중앙부를 사이에 두고 n형의 소스·드레인 영역(3)이 선택적으로 형성되어 있다. 이와 마찬가지로, 웰(12)의 노출면에는 그 중앙부를 사이에 두고, n형의 소스·드레인 영역(13)이 선택적으로 형성되어 있다. 소스·드레인 영역(3, 13)은 각각 웰(2, 12)보다도 얇게 형성된다.

고전압 소자 H에 속하는 웰(2)의 노출면의 중앙부의 위, 다시 말하면 2개의 소스·드레인 영역(3) 사이에 끼워진 웰(2)의 노출면 위에는 게이트 절연막(7)이 형성되고, 그 위에는 게이트 전극(9)이 형성되어 있다. 즉, 게이트 전극(9)은 게이트 절연막(7)을 사이에 두고, 2개의 소스·드레인 영역(3) 사이에 끼워진 웰(2)의 노출면에 대향하고 있다. 2개의 소스·드레인 영역(3)의 노출면에는 소스 전극(10) 및 드레인 전극(11)이 각각 접속되어 있다.

즉, 소자 H, L은 둘다 n채널형의 MOS 트랜지스터로서 구성되고, 소스 전극(주(主) 전극 ; 10, 20)과 드레인 전극(주 전극 ; 11, 21) 사이에 전압(드레인 전

압)이 인가된 상태에서 게이트 전극(9, 19)으로 인가되는 전압(게이트 전압)을 조정함으로써, 소스 전극(10, 20)과 드레인 전극(11, 21) 사이를 각각 흐르는 주 전극(드레인 전극)의 크기가 제어된다. 소스·드레인 영역(3, 13) 사이에 각각 끼워지고, 게이트 전극(9, 19)에 각각 대향하는 웰(2, 12)의 노출면의 영역이 각각의 소자 H, L에서의 채널 영역으로서 기능한다.

게이트 전극(9) 바로 아래에 위치하는 게이트 절연막(7) 부분은 비교적 얇은 중앙부와 두꺼운 주변부를 갖고 있다. 두꺼운 주변부는 후술하는 바와 같이 게이트 절연막(7)상에 게이트 전극(9)이 형성된 후에 열산화 처리(일반적으로는, 열반응 처리)를 실행함으로써 형성되고, 그 결과 게이트 전극(9) 바로 아래의 영역에 있어서 그 끝 연부로부터 중심부로 향해 새의 부리 모양으로 노출하므로, 「버즈 비크(Bird's Beak)」라 칭해진다.

또한, 웰(2)의 노출면에는 그 중앙부를 사이에 두고 n형의 확장 영역(4) 및 p형의 포켓(pocket) 영역(5)이 선택적으로 더 형성되어 있다. 확장 영역(4)은 소스·드레인 영역(3)보다도 얇고, 또한 소스·드레인 영역(3)의 끝 연부로부터 중앙부로 떨어져 나오도록 형성된다. 더구나, 확장 영역(4)은 바람직하게는 버즈 비크(8)의 아래면 전체를 덮도록 형성된다.

포켓 영역(5)은 확장 영역(4)보다도 깊고, 소스·드레인 영역(3)보다도 얇으며, 또한 확장 영역(4) 전체를 포위하도록 형성된다. 즉, 확장 영역(4)은 포켓 영역(5)의 외측으로는 빠져 나오지 않는다. 확장 영역(4) 및 포켓 영역(5)에 있어서의 불순물 농도는 둘다 소스·드레인 영역(3)보다도 낮게 배치된다.

따라서, 확장 영역(4) 및 포켓 영역(5) 중에서 소스·드레인 영역(3)과 중복하는 부분의 도전 형식은 n형이고, 실질적으로 소스·드레인 영역(3)의 구성 부분으로 되어 있다. 또한, 포켓 영역(5)은 웰(2, 12)보다도 불순물 농도가 높지만, 확장 영역(4)보다는 낮아, 포켓 영역(5)과 확장 영역(4)이 중복하는 영역의 도전 형식은 n형으로 되어 있다.

저전압 소자 L에 있어서도 고전압 소자 H와 마찬가지로 소스·드레인 영역(13), 확장 영역(14), 포켓 영역(15), 게이트 절연막(17), 게이트 전극(19), 소스 전극(20) 및 드레인 전극(21)이 형성되어 있다. 또한, 게이트 절연막(17)의 양쪽 단부에는 버즈 비크(18)가 형성되어 있다.

게이트 전극(9, 19)의 끝 연부로부터 바로 아래의 영역으로 버즈 비크(8, 18)가 침입하는 깊이(도 1의 지면상 게이트 전극(9, 19)의 끝 연부로부터의 길이 이하, 「침입 깊이」라 함)는 소자 H, L의 사이에서 서로 거의 동일하다. 또한, 쌍방의 소자 H, L을 통해 게이트 절연막(7, 17)은 바람직하게는 실리콘 산화물로 구성되고, 게이트 전극(9, 19)은 불순물이 도프된 폴리실리콘으로 구성되며, 주 전극(10, 11, 20, 21)은 알루미늄을 모재(母材)로 하는 금속 또는 화합물로 구성된다.

쌍방의 소자 H, L 사이에서 소스 전극으로부터 드레인 전극으로 향하는 방향을 따른 게이트 전극(9, 19)의 길이(이하, 「게이트 길이」라 함)를 서로 비교하면, 게이트 전극(9)에서는 작고, 게이트 전극(19)에서는 크다. 따라서, 버즈 비크(8, 18)에서 사이에 끼워진 게이트 절연막(7, 17) 중의 얇은 부분은 저전압 소자 L

에서는 길고, 고전압 소자 H에서는 짧게 되어 있다. 바람직하게는, 얇은 부분은 게이트 절연막(17)에서는 실질상 게이트 전극(19) 바로 아래의 영역 중의 대부분을 차지하도록, 게이트 절연막(7)에서는 게이트 전극(9) 바로 아래 영역의 80%를 초과하지 않도록 배치된다.

구체적으로는 게이트 절연막(7, 17)의 얇은 부분의 길이는 약 2~6nm이고, 게이트 전극(9)의 게이트 길이는 약  $0.05\mu\text{m}\sim 0.25\mu\text{m}$ 이며, 게이트 전극(19)의 게이트 길이는 약  $0.1\mu\text{m}\sim 0.5\mu\text{m}$ 이다. 버즈 비크(8, 18)의 침입 깊이는  $0.02\sim 0.1\mu\text{m}$ 이다.

이와 같이, 고전압 소자 H에서는 게이트 전극(9)의 바로 아래에 위치하는 게이트 절연막(7) 부분은 그 양쪽 단부를 포함하는 상당 영역에 걸쳐 두꺼워져 있고, 저전압 소자 L에서는 게이트 전극(19)의 바로 아래에 위치하는 게이트 절연막(19) 부분의 대부분은 얇게 형성되어 있다. 이 때문에, 고전압 소자 H에서는 게이트 전극(9)으로 인가되는 게이트 전압이 높아도 게이트 절연막(7)의 경시 열화가 효과적으로 억제된다.

이와 동시에, 게이트 전극(19)로 인가되는 게이트 전압이 낮고, 경시 열화가 그다지 문제되지 않는 저전압 소자 L에 있어서는 게이트 절연막(17)의 대부분이 얇게 형성되어 있으므로, 저전압 소자 L은 높은 전류 구동 능력을 발휘할 수 있어, 고속 동작의 요청에 유효하게 응하는 것이 가능하다. 높은 게이트 전압에 견디어 낼 필요가 있는 게이트 절연막(7)에 있어서, 게이트 전극(9)의 바로 아래에 위치하는 부분 중에서 중앙부, 즉 주변부를 제외한 부분에서는 게이트 절연막(17)의 대부

분과 마찬가지로 얇게 되어 있지만, 중앙부에 비해 주변부 쪽이 훨씬 열화하기 쉬우므로, 중앙부에 얇은 부분이 남아 있어도 경시 열화를 억제하는 효과를 상당 정도 확보할 수 있다.

또한, 이하에 서술하는 바와 같이, 장치(101)는 장치(152)와는 다르고, 차폐체(95)의 선택적인 형성(도 44)을 포함하는 복잡한 공정을 요하지 않으며, 비교적 간단한 공정을 거침으로써 제조하는 것이 가능하다. 즉, 장치(101)는 긴 수명과 높은 동작 속도를, 곤란한 제조 공정을 요하지 않고 실현할 수 있다고 하는, 종래 장치(151, 152)에 없는 이점을 갖추고 있다.

또한, 소스·드레인 영역(3, 13)의 연장부로서의 확장 영역(4, 14)이 구비되어, 버즈 비크(8, 18)의 바로 아래를 덮고 있으므로, 버즈 비크(8, 18)에 의해 게이트 임계 전압이 높아지는 것을 방지할 수 있고, 또한 포켓 영역(5, 15)이 구비되기 때문에, 펀치 스루를 억제하는 효과가 얻어진다. 또한, 확장 영역(4, 14)도 얇게 형성된 소스·드레인 영역으로서 기능하기 때문에 펀치 스루의 억제에 기여한다.

#### <1-2. 제조 방법>

도 2~도 8은 장치(101)의 바람직한 제조 방법을 도시한 제조 공정도이다. 장치(101)를 제조하려면 먼저 도 42 및 도 43과 마찬가지로 공정이 실행된다.

도 2에 도시한 바와 같이, 반도체 기판(1)에 소자 분리부(6) 및 웰(2, 12)이 선택적으로 형성되고, 웰(2, 12)의 노출면상에 절연막(51, 52)이 형성된다. 절연막(51, 52)은 바람직하게는 실리콘 산화막으로 구성된다.

그후, 도 2에 도시한 바와 같이, 절연막(51, 52)의 전체면에 걸쳐 게이트 전극의 재료인 도전성 재료(53)가 층 형상으로 퇴적된다. 도전성 재료(53)는 바람직하게는 불순물이 고농도로 도프된 폴리실리콘으로 구성된다.

도 3에 도시한 바와 같이, 선택적 에칭 처리를 이용하여 도전성 재료(53)를 선택적으로 제거함으로써, 소자 H, L이 각각 형성되어야 할 영역에 속하는 절연막(51, 52)상에 게이트 전극(9, 19)이 각각 형성된다. 게이트 전극(9, 19)은 각각 절연막(51, 52) 중앙부에 형성되고, 그 게이트 길이는 게이트 전극 9에서는 작고, 게이트 전극 19에서는 크게 배치된다.

다음에, 도 4에 도시한 바와 같이 절연막(51, 52)의 노출면에 대해 열산화 처리가 행해져서 이들의 노출면을 두껍게 한다. 이때, 산화 반응은 노출면에 있어서만 진행되는 것이 아니라, 게이트 전극(9, 19)에 차폐된 영역에 있어서도 어느 정도 진행된다. 그 결과, 원래의 절연막(51, 52)보다도 두꺼운 절연막(54, 55)이 원래의 절연막(51, 52)의 노출면, 및 게이트 전극(9, 19) 바로 아래의 영역으로 약간 침입한 부분에 선택적으로 형성된다. 절연막(54, 55) 중에서 게이트 전극(9, 19) 바로 아래의 영역으로 침입한 부분이 상술한 「버즈 비크」라 칭해지는 부분이다.

다음에, 도 5에 도시된 바와 같이, 게이트 전극(9, 19)을 차폐체로서 이용하면서, 인, 비소 등의 n형 불순물을 웰(2, 12) 위의 주요면에 선택적으로 주입함으로써, 확장 영역(4, 14)이 형성된다. 이때, 확장 영역(4, 14)이 절연막(54, 55)의 버즈 비크에 상당하는 부분의 바로 아래를 덮도록, 바람직하게는 비스듬한 조사가



채용된다.

다음에, 도 6에 도시된 바와 같이, 게이트 전극(9, 19)을 차폐체로서 이용하면서, 붕소 등의 p형 불순물을 웰(2, 12) 위의 주요면에 선택적으로 주입함으로써, 포켓 영역(5, 15)이 형성된다. 이때, 포켓 영역(5, 15)이 확장 영역(4, 14)을 각각 포함하도록, 바람직하게는 비스듬한 조사가 채용된다.

p형 불순물의 주입은 바람직하게는 붕소를 5keV~20keV의 조사 에너지,  $1 \times 10^{13} \text{cm}^{-2} \sim 20 \times 10^{13} \text{cm}^{-2}$ 의 주입량으로 주입함으로써 행해진다. 또, 소자 H, L이 p형의 MOS 트랜지스터인 경우에는 포켓 영역(5, 15)의 형성을 위한 n형 불순물 주입은 바람직하게는 비소 또는 인을 50keV~100keV의 조사 에너지,  $1 \times 10^{13} \text{cm}^{-2} \sim 20 \times 10^{13} \text{cm}^{-2}$ 의 주입량으로 주입함으로써 행해진다.

다음에, 도 7의 공정이 실행된다. 먼저, 도 6의 공정이 종료된 후의 중간물의 상면 전체에 걸쳐 산화물 또는 질화물로 구성되는 차폐체 재료(56)가 퇴적된다. 차폐체 재료(56)의 퇴적에는, 예를 들면 CVD법이 이용된다. 그후, 차폐체 재료(56)의 전체면에 걸쳐 이방성 에칭이 행해지고, 그 결과 게이트 전극(9, 19)의 측벽면에 사이드월(57, 58)이 각각 형성된다.

다음에, 도 8에 도시된 바와 같이, 게이트 전극(9, 19)과 사이드월(57, 58)을 차폐체로서 이용하면서 n형 불순물을 고농도로 주입함으로써, 웰(2, 12)의 상면에 소스·드레인 영역(3, 13)이 선택적으로 형성된다. 그후, 사이드월(57, 58)은 제거된다. 또, 불순물의 주입이 행해진 후에, 확산 공정이 행해지는 것은 자명하므로, 이 명세서를 통해 기재 생략한다.

그후, 절연막(54, 55)에 선택적으로 개구부가 형성되고, 이 개구부를 통해 소스·드레인 영역(3, 13)의 상면에 소스 전극(10, 20) 및 드레인 전극(11, 21)이 접속된다. 그 결과, 도 1에 도시한 장치(101)가 완성된다. 또, 확장 영역(4, 14)과, 포켓 영역(5, 15) 및 소스·드레인 영역(3, 13)을 형성하기 위한 불순물의 주입은 두꺼운 절연막(54, 55)을 형성하기 전이나 후에도 행할 수 있다.

도 2의 공정에 있어서, 재료(53)로서 폴리실리콘이 퇴적되었을 때에는, 도 4의 열산화 처리가 행해진 후에는 게이트 전극(9, 19)의 내부 구조는 도 9와 같이 된다. 즉, 열산화 처리에 따라 재료(53)의 표면, 즉 측면 및 상면에 있어서도 산화 반응이 진행된다. 그 결과, 게이트 전극(9, 19)의 내부에는 각각 산화되지 않은 채로의 폴리실리콘층(96, 98)이 잔류하지만, 표면에 있어서는 실리콘 산화층(97, 99)이 형성된다.

즉, 열산화 처리에 따라 게이트 전극(9, 19) 중에서 도전체로서 기능하는 부분인 폴리실리콘층(96, 98)이 얇아지게 된다. 이것은 게이트 전극(9, 19)의 전기 저항의 증대를 초래하게 된다. 특히, 게이트 전극(9)에서는 게이트 길이가 상대적으로 작기 때문에 그 영향이 크다.

따라서, 도 2~도 4의 공정에서는 이 폴리실리콘층(96, 98)의 얇아짐을 고려하여 각각의 처리가 행해진다. 예를 들면, 도 2의 공정에서는 재료(53)로서의 폴리실리콘층을 두껍게 퇴적하면 좋다. 또한, 도 3의 공정에서는 게이트 전극(9, 19)의 게이트 길이를 길게 설정하면 좋다. 또한, 도 4의 열산화 처리에서는 폴리실리콘층(96, 98 ; 특히, 폴리실리콘층(96))이 과도하게 얇아지지 않도록 처리 온

도 및 처리 시간을 조절하면 좋다.

실리콘 산화층(97, 99)의 두께가 작게 억제되면, 그것에 따라 버즈 비크의 침입 깊이도 작아진다. 실리콘 산화층(97, 99)의 두께와, 버즈 비크의 침입 깊이는 거의 동일 정도이기 때문에, 게이트 길이가 짧은 게이트 전극(9)에 있어서도 버즈 비크를 충분히 깊게 설정하면서, 폴리실리콘층(96)을 필요한 두께로 확보하는 것은 가능하다. 또한, 실리콘 산화층(97, 99)은, 예를 들면 도 8의 공정 후의, 사이드월(57, 58)을 제거하는 과정에서 사이드월(57, 58)과 일제히 제거하는 것도 가능하다.

또한, 보다 바람직하게는 게이트 전극(9, 19)을 반도체 기판(1)보다도 산화되기 어려운 재료, 즉 열산화 반응에 대한 내성이 반도체 기판(1)보다도 높은 재료로 구성하면 좋다. 예를 들면, 도 2의 공정에서 재료(53)로서 질소가 도프된 폴리실리콘 층을 퇴적하면 좋다. 또는, 도 2의 공정에서 재료(53)로서 폴리실리콘층이 퇴적된 후에 도 10에 도시한 바와 같이 재료(53)의 전체면에 걸쳐 질소를 주입함으로써, 재료(53)를 질소가 도프된 폴리실리콘층으로 전환해도 좋다.

이때, 후속하는 도 4의 열산화 처리에 있어서, 재료(53)는 열산화되기 어렵다. 이 때문에, 열산화 처리가 완료되었을 때에는 도 11에 도시한 바와 같이 실리콘 산화층(97, 99)의 두께는 버즈 비크의 침입 깊이에 비해 작은 것으로 된다. 즉, 게이트 전극(9, 19)은 실질상 폴리실리콘 층(96, 98)으로 구성되게 된다.

또한, 도 2의 공정에 있어서, 재료(53)로서 폴리실리콘층 대신에, 금속층, 금속 실리사이드(금속과 실리콘과의 화합물)층 또는 금속 질화물층 등을 퇴적해도

좋다. 이들의 재료도 반도체 기판(1)에 비해 열산화 반응에 대한 내성이 높기 때문에 도 4의 열산화 처리에 있어서 형성되는 산화막을 얇게 억제하는 것이 가능해진다.

또한, 도 2의 공정에 있어서 재료(53)로서 폴리실리콘층과, 그 위에 형성된 금속 실리사이드층을 포함하는 다층 구조체를 퇴적해도 좋다. 이때, 도 4의 열산화 처리에 있어서, 게이트 전극(9, 19)의 측면에는 도 9와 마찬가지로 실리콘 산화층(97, 99)이 형성되지만, 상면에서는 실리콘 산화층(97, 99)의 형성이 억제된다. 따라서, 도 9에 비하면, 폴리실리콘층(96, 98)의 얇아짐은 완화되게 된다. 이상과 같은, 게이트 전극(9, 19)의 산화를 고려한 여러가지 처리는 이하의 각 실시형태에 있어서도 마찬가지로 채용 가능하다.

이상과 같이, 장치 101은 종래 장치 152와는 달리 차폐체(95)의 형성(도 44), 및 차폐체(95)를 이용한 절연막(95)의 후막화(도 45)라고 하는 공정을 거치지 않고 형성 가능하다. 이와 같이, 장치 101은 비교적 간단한 공정을 통해 용이하게 제조하는 것이 가능하다.

## <2. 제2 실시 형태>

도 12는 제2 실시 형태의 반도체 장치의 정면 단면도이다. 이 장치 102는 고전압 소자 H에 속하는 게이트 절연막(7)의 중앙부에 얇은 부분이 없이 게이트 전극(9) 바로 아래에 위치하는 게이트 절연막(7) 영역의 전체에 걸쳐 버즈 비크(8)가 차지하고 있다는 점에 있어서 장치 101(도 1)과는 특징적으로 다르다. 즉, 게이트 절연막(7)에 있어서는 게이트 전극(9) 바로 아래의 영역 중에서 버즈 비크(8)가

100%를 차지하고, 얇은 부분은 0%로 되어 있다. 이것에 대해, 저전압 소자 L에 속하는 게이트 절연막(17)에서는 얇은 부분은 장치(101)과 마찬가지로 게이트 전극(19) 바로 아래 영역 중의 대부분을 차지하고 있다.

이 특징적인 구성은 버즈 비크(8, 18)의 침입 깊이가 게이트 전극(9)의 게이트 길이의 절반 이상으로 되어, 게이트 전극(19)의 게이트 길이에 비해 충분히 작아지도록 게이트 전극(9, 19)의 게이트 길이 및 버즈 비크(8, 18)의 침입 깊이를 조정함으로써 실현된다.

이와 같이, 장치 102에서는 고전압 소자 H에 속하는 게이트 전극(9)의 바로 아래 위치하는 게이트 절연막(7)의 영역이 전체에 걸쳐 두꺼워져 있으므로, 게이트 절연막(7)의 경시 열화가 더욱 효과적으로 억제된다. 또한, 저전압 소자 L에서는 장치(101)과 마찬가지로 게이트 전극(19)의 바로 아래에 위치하는 게이트 절연막(17) 영역의 대부분이 얇게 형성되어 있으므로, 높은 전류 구동 능력을 발휘할 수 있어, 고속 동작의 요청에 유효하게 응하는 것이 가능하다.

또한, 이하에 서술하는 바와 같이, 장치 102는 장치 151과 마찬가지로 복잡한 공정을 요하지 않고 비교적 간단한 공정을 거침으로써 제조하는 것이 가능하다. 즉, 장치 102는 장치 101과 마찬가지로 긴 수명과 높은 동작 속도를, 곤란한 제조 공정을 요하지 않고 실현할 수 있는 데다, 특히 경시 열화를 억제하여 긴 수명을 실현하는 점에 있어서 우수하다.

장치 102는 제1 실시 형태에서 설명한 제조 방법에 있어서, 도 4의 공정율도 13의 공정과 치환함으로써 제조 가능하다. 도 13의 공정에서는 절연막(51, 52)

의 노출면에 대해 열산화 처리가 행해진다. 그 결과, 절연막(51, 52)은 이들의 노출면에있어서 두꺼워진다. 이와 동시에, 이들의 두꺼운 부분은 게이트 전극(9, 19)에 차폐된 영역에 있어서도 버즈 비크로서 침입한다.

게이트 전극(9)의 바로 아래에서 양측으로부터 침입한 버즈 비크가 서로 연결됨과 동시에 게이트 전극(19)의 바로 아래에 버즈 비크로서 침입한 두꺼운 부분이 게이트 전극(19) 바로 아래의 영역 전체에 차지하는 비율이 무시할 수 있을 정도로 충분히 작아지도록 열산화 처리의 온도, 시간 등의 조건의 설정, 및 도 4의 공정에 앞서는 도 3의 공정에서의 게이트 전극(9, 19)의 게이트 길이 설정이 행해진다. 이 실시형태에서는 게이트 전극(9) 바로 아래에 있어서, 버즈 비크가 서로 연결되므로, 제1 실시 형태에서 서술한 게이트 전극(9)의 산화를 억제하기 위한 처리가 특히 유효하다.

이상과 같이, 장치 102는 장치 101과 마찬가지로 비교적 간단한 공정을 통해 용이하게 제조하는 것이 가능하다.

### <3. 제3 실시 형태>

도 14는 제3 실시 형태의 반도체 장치의 정면 단면도이다. 이 장치 103은 소스·드레인 영역(3, 13)이 버즈 비크(8, 18) 바로 아래의 영역을 덮도록 게이트 절연막(7, 17)의 중앙부로 향하여 연장하고 있다는 점에 있어서 장치 101과는 특징적으로 다르다.

이 때문에, 게이트 전극(9, 19)은 게이트 절연막(7, 17)의 얇은 부분을 사이에 두고 채널 영역의 전체에 대향하므로, 확장 영역(4, 14)이 없어도 임계 전압이

버즈 비크(8, 18)에 의해 불필요하게 높아지는 것을 방지할 수 있다. 또한, 실질적인 채널 길이가 짧아지므로, 쇼트 채널 효과를 억제하면서 또한 고전류 구동 능력을 얻을 수 있다.

또한, 도 14에 도시한 바와 같이, 포켓 영역(5, 15)을 소스·드레인 영역(3)보다도 얇게, 또한 게이트 절연막(7, 17)의 중앙부로 향하여 소스·드레인 영역(3, 13)의 외측으로 빠져 나오도록 형성할 수 있고, 그것에 의해 펀치스루를 효과적으로 억제할 수 있다. 즉, 장치 103에서는 보다 간단한 구성으로 장치 101과 동등한 효과를 얻을 수 있다.

장치 103을 제조하려면 제1 실시 형태의 제조 방법에 있어서, 도 4까지의 공정을 실행한 후에 도 5의 공정을 생략하고 도 6의 공정을 행하며, 또한 도 7 및 도 8의 공정 대신 도 15의 공정을 실행하면 좋다. 도 15의 공정에서는 사이드월(57, 58)을 이용하지 않고 게이트 전극(9, 19)을 차폐체로 하여 n형의 불순물을 선택적으로 주입함으로써, 소스·드레인 영역(3, 13)이 형성된다. 이때, 바람직하게는 비스듬한 조사가 이용된다. 그 결과, 주입 공정 후에 당연히 행해지는 확산 공정을 거친 후에는 소스·드레인 영역(3, 13)은 두꺼운 절연막(54, 55)의 하면을 덮도록 형성된다.

소스·드레인 영역(3, 13)을 형성하기 위한 n형 불순물의 주입은 바람직하게는 인 또는 비소를 50keV~100keV의 조사 에너지,  $2 \times 10^{15} \text{cm}^{-2} \sim 8 \times 10^{15} \text{cm}^{-2}$ 의 주입량으로 주입함으로써 행해진다. 또, 소자 H, L이 p형의 MOS 트랜지스터일 경우의 p형 불순물의 주입은 바람직하게는 붕소 또는  $\text{BF}_2$ 를 20keV~60keV의 조사 에너지, 2

$\times 10^{15}\text{cm}^{-2} \sim 8 \times 10^{15}\text{cm}^{-2}$ 의 주입량으로 주입함으로써 행해진다.

그후, 제1 실시 형태의 제조 방법과 마찬가지로, 소스 전극(10, 20) 및 드레인 전극(11, 21)을 형성함으로써 장치 103이 완성된다. 또, 포켓 영역(5, 15) 및 소스·드레인 영역(3, 13)을 형성하기 위한 각 불순물의 주입은 두꺼운 절연막(54, 55)을 형성한 후에 행하는 대신, 그 전에 행하는 것도 가능하다.

이상과 같이, 장치 103은 장치 101보다도 더욱 간단한 공정을 통해 용이하게 제조하는 것이 가능하다.

#### <4. 제4 실시 형태>

도 16은 제4 실시 형태의 반도체 장치의 정면 단면도이다. 이 장치 104는 버즈 비크(8, 18)가 반도체 기판(1)을 아래쪽으로 침식하는 깊이, 즉 반도체 기판(1)로 가라앉아 들어가는 깊이(이하, 「싱크(sink) 깊이」라 함)가 낮다는 점에서 장치 101과는 특징적으로 다르다.

수치예를 들면, 장치 101에서는 버즈 비크(8, 18)의 두께는, 예를 들면 약 100nm 정도이고, 그 약 절반인 50nm가 싱크 깊이로 된다. 싱크 깊이가 크면, 펀치 스루가 일어나기 쉽다는 점에서 바람직하지 않다. 장치(104)에서는 버즈 비크(8, 18)의 싱크 깊이가 이 수치보다도 낮게 억제되므로, 펀치 스루에 강하다고 하는 이 점이 얻어진다.

장치 104를 제조하기 위해서는 제1 실시 형태의 제조 방법에 있어서, 도 4의 공정 대신에 도 17의 공정이 실행된다. 도 17의 공정에서는 절연막(51, 52)의 노출면에 대해 열산화 처리가 행해진다. 이때, 온도가  $600^{\circ}\text{C} \sim 950^{\circ}\text{C}$ 의 범위로 조정



된다. 즉, 통상에 있어서 채용되는 온도에 비해 낮은 온도 하에서 열산화 처리가 행해진다.

이때, 산화 반응을 율속(律速)하는 산화종(酸化種 ; 즉, 실리콘)의 확산 과정과 표면 반응 과정의 2종류의 과정 중에서 표면 반응 과정 쪽이 지배적이 된다. 그 결과, 반도체 기판(1) 상면의 침식에 의한 버즈 비크(8, 18)의 싱크를 억제하면서, 게이트 전극(9, 19) 바로 아래의 영역으로 버즈 비크(8, 18)의 침입이 상대적으로 촉진된다.

이와 같이, 장치 104는 장치 101에 비해 아무런 복잡한 공정을 부가하지 않고 용이하게 제조할 수 있으며, 더구나 펀치스루에 대한 내성이 높다고 하는 이점을 갖추고 있다.

#### <5. 제5 실시 형태>

도 18은 제5 실시 형태의 반도체 장치의 정면 단면도이다. 이 장치 105는 버즈 비크(8, 18)의 바로 아래에 위치하는 반도체 기판(1) 위의 주요면 부분, 및 소스·드레인 영역(3, 13)의 상면에 질소 도입 영역(25, 26)이 선택적으로 형성되어 있다는 점에 있어서, 장치 102와는 특징적으로 다르다. 즉, 질소 도입 영역(25, 26)이 버즈 비크(8, 18)의 하면 전체를 덮고 있다.

이 때문에, 버즈 비크(8, 18)의 싱크 깊이가 작게 억제되고, 장치 104와 마찬가지로 펀치스루에 대한 내성이 높아진다. 또한, 게이트 절연막(7, 17)의 아래 쪽으로 질소가 파일입하기 때문에 핫 캐리어 내성이 높아진다고 하는 이점도 동시에 얻어진다. 또, 도 18에는 소스·드레인 영역(3, 13)이 장치 102와 마찬가지로

버즈 비크(8, 18)의 하면을 덮도록 구성되는 예를 나타냈지만, 장치 101과 마찬가지로 지이어도 좋다.

장치 105를 제조하기 위해서는, 예를 들면 제3 실시 형태의 제조 방법에 있어서, 도 3의 공정 후에 도 19 및 도 20의 공정을 실행하고, 그후 도 5 이하의 공정을 실행하면 좋다. 도 19의 공정에서는 게이트 전극(9, 19)을 차폐체로서 이용하면서, 웰(2, 12) 위의 주요면에 질소가 선택적으로 주입된다. 그 결과, 질소 도입 영역(25, 26)이 형성된다. 질소의 주입은, 예를 들면 10keV~30keV의 조사 에너지,  $1 \times 10^{14} \text{cm}^{-2} \sim 20 \times 10^{14} \text{cm}^{-2}$ 의 주입량으로 행해진다.

그후에 실행되는 도 20의 공정에서는 도 4의 공정과 동일한 요령으로의 열산화 처리를 통해 두꺼운 절연막(54, 55)이 형성된다. 이때, 질소 도입 영역(25, 26)에서는 모재인 실리콘이 질소와 결합하고 있기 때문에 산소와의 결합이 일어나기 어렵게 되어 있다. 이 때문에, 절연막(54, 55)은 산화 처리에 수반되는 싱크가 억제된다.

이와 같이, 장치 105는 장치 102, 또는 장치 101에 비해 특별히 복잡한 공정을 부가하지 않고 용이하게 제조할 수 있으며, 더구나 편치스루에 대한 내성이 높다고 하는 이점을 갖추고 있다.

#### <6. 제6 실시 형태>

도 21은 제6 실시 형태의 반도체 장치의 정면 단면도이다. 이 장치 106은 소스·드레인 영역(3, 13) 등이 절연막(54, 55)을 제거한 데에다 각 불순물을 주입함으로써 형성되어 있다는 점에 있어서, 장치 101과는 특징적으로 다르다. 도 2

2~도 26은 이 특징적인 제조 공정을 도시하고 있다. 장치 106을 제조하려면 먼저 제1 실시 형태의 제조 방법에 있어서 도 4까지의 공정이 실행된다.

도 22에 도시한 바와 같이, 게이트 전극(9, 19)을 차폐체로서 이용하면서 이 방성 에칭을 행함으로써, 두꺼운 절연막(54, 55)이 선택적으로 제거된다.

도 23에 도시된 바와 같이, 게이트 전극(9, 19)을 차폐체로서 이용하면서 인, 비소 등의 n형 불순물을 웰(2, 12) 위의 주요면에 선택적으로 주입함으로써, 확장 영역(4, 14)이 형성된다. 이때, 확장 영역(4, 14)이 절연막(54, 55)의 버즈 비크에 상당하는 부분의 바로 아래를 덮도록, 바람직하게는 비스듬한 조사가 채용된다.

도 24에 도시된 바와 같이, 게이트 전극(9, 19)을 차폐체로서 이용하면서 붕소 등의 p형 불순물을 웰(2, 12) 위의 주요면에 선택적으로 주입함으로써, 포켓 영역(5, 15)이 형성된다. 이때, 포켓 영역(5, 15)이 확장 영역(4, 14)을 각각 포함하도록, 바람직하게는 비스듬한 조사가 채용된다.

도 25의 공정이 실행된다. 즉, 도 7과 동일한 공정을 거침으로써, 게이트 전극(9, 19)의 측벽면에 사이드월(57, 58)이 각각 형성된다. 다음에, 도 26에 도시된 바와 같이 게이트 전극(9, 19)과 사이드월(57, 58)을 차폐체로서 이용하면서 n형 불순물을 고농도로 주입함으로써, 웰(2, 12)의 상면에 소스·드레인 영역(3, 13)이 선택적으로 형성된다. 그후, 소스·드레인 영역(3, 13)의 상면에 소스 전극(10, 20) 및 드레인 전극(11, 21)이 접속된다. 그 결과, 도 21에 도시한 장치 106이 완성된다.

이상과 같이, 장치 106의 제조 방법에서는 소스·드레인 영역(3, 13) 이외의 반도체 영역을 형성하기 위한 불순물의 주입이 절연막(54, 55)을 제거한 데에서 행해진다. 이 때문에, 불순물의 반도체 기판(1)으로의 도입이 절연막(54, 55)에 차폐되는 일 없이 효율 좋게 행해진다. 따라서, 주입 공정에 필요한 불순물의 조사량을 절감함과 동시에, 제조 시간을 단축할 수 있어 제조 방법의 능률화가 초래된다.

또한, 불순물의 주입을 낮은 조사 에너지로 행할 수 있기 때문에, 소스·드레인 영역(3, 13)이나 확장 영역(4, 14)의 넓어짐을 억제하고, 그들을 보다 얇게 형성하는 것이 가능해진다. 그 결과, 편치스루에 대한 내성이 향상된다고 하는 이점이 얻어진다.

또, 도 22의 공정 대신 도 27의 공정을 실행해도 좋다. 도 27의 공정에서는, 절연막(54, 55)은 반도체 기판(1)의 상면이 노출될 때까지 제거되지 않고, 얇은 막으로서 어느 정도 남겨진다. 즉, 도 27의 공정에서는 두꺼운 절연막(54, 55)이 선택적으로 박막화된다. 박막화된 절연막(54, 55)은 주 전극(10, 11, 20, 21)을 형성할 때 선택적으로 제거된다.

수치예를 들면, 도 4의 공정에서 형성되는 절연막(54, 55)의 두께는, 예를 들면 100nm이고, 도 22의 공정에서는 이 두께가 0이 될 때까지 절연막(54, 55)의 선택적인 제거가 행해지고, 도 27의 공정에서는 두께는 300nm 이하까지 저감된다.

이 때문에, 불순물 도입 공정 이외의 공정 중에서 주 전극(10, 11, 20, 21)에 접촉되어야 할 소스·드레인 영역(3, 13)이 증금속이나 탄소 등에 의해 오염되

는 것을 방지할 수 있다. 그 결과, 펀치스루 내성의 향상과, 소스·드레인 영역(3, 13)에 있어서의 접합 특성의 향상을 동시에 도모하는 것이 가능해진다.

#### <7. 제7 실시 형태>

도 28 및 도 29는 제7 실시 형태의 반도체 장치의 제조 공정도이다. 이 공정을 통해 완성되는 장치 107은 도 21과 동일하게 표시되므로 도시는 생략한다. 장치 107의 제조 방법에서는 먼저 제1 실시 형태의 제조 방법에 있어서 도 4까지의 공정이 실행된다.

다음에, 도 28의 공정이 실행된다. 먼저, 도 4의 공정이 종료된 후의 중간물의 상면 전체에 걸쳐 차폐체 재료(60)가 퇴적된다. 그후, 이 차폐체 재료(60)에 선택적으로 에칭이 행해짐으로써, 절연막(54)를 덮고, 절연막(55)에 있어서 개구되는 차폐체(61)가 형성된다. 다음에, 차폐체(61)와 게이트 전극(19) 둘다 피복되지 않은 절연막(55) 부분이 선택적으로 제거된다.

다음에, 도 29에 도시된 바와 같이, 고전압 소자 H의 영역에서는 절연막(54)이 남겨진 채로, 저전압 소자 L의 영역에서는 절연막(55)이 선택적으로 제거된 상태로, n형 불순물의 주입이 행해지고, 그 결과 확장 영역(4, 14)이 형성된다. 이하, 마찬가지로 하여 각종 불순물이 도입됨으로써, 포켓 영역(5, 15) 및 소스·드레인 영역(3, 13)이 형성된다. 그후, 소스·드레인 영역(3, 13)에 주 전극(10, 11, 20, 21)이 접속됨으로써 장치 107이 완성된다.

이상과 같이, 장치(107)의 제조 방법에서는 두꺼운 절연막을 일부 소자에 대해서는 남기고, 나머지 소자에 대해서는 제거한 상태로, 소스·드레인 영역(3, 13)

이외의 반도체 영역을 형성하기 위한 불순물의 주입이 행해진다. 따라서, 이 제조 방법은 접합 특성의 열화 방지가 펀치 스루 내성의 향상보다도 우선하는 소자와, 그렇지 않은 소자가 혼재하는 장치의 제조에 적합하다.

도 27은 고전압 소자 H가 양호한 접합 특성을 특히 필요로 하는 소자일 때, 예를 들면 장치 107이 DRAM이고, 고전압 소자 H가 메모리 셀에 속하는 MOS 트랜지스터이며, 저전압 소자 L이 주변 회로에 속하는 MOS 트랜지스터일 경우에 상당한다. 메모리 셀에 속하는 MOS 트랜지스터에서는 소스·드레인 영역의 오염에 기인하여 발생할 수 있는 접합 리크를 회피하는 것이 특히 요구되기 때문에 절연막(54)을 남겨 두는 것이 바람직하다.

장치 107은 다음에 나타내는 다른 방법으로 제조하는 것도 가능하다. 먼저, 제6 실시 형태의 제조 방법에 있어서 도 27까지의 공정이 실행된다. 그후, 도 30의 공정이 실행된다.

도 30의 공정에서는 먼저 도 27의 공정이 종료된 후의 중간물의 상면 전체에 걸쳐 차폐체 재료(62)가 퇴적된다. 그후, 이 차폐체 재료(62)에서 선택적으로 에칭이 행해짐으로써, 절연막(54)을 덮고, 절연막(55)에 있어서 개구되는 차폐체(63)가 형성된다. 다음에, 차폐체(63)와 게이트 전극(19) 둘다 피복되지 않은 절연막(55) 부분이 선택적으로 제거된다.

그후, 도 31에 도시한 바와 같이, n형 불순물의 주입이 행해지고, 그 결과 확장 영역(4, 14)이 형성된다. 이하, 마찬가지로 하여 각종 불순물이 도입됨으로써 포켓 영역(5, 15) 및 소스·드레인 영역(3, 13)이 형성된다. 그후, 소스·드레

인 영역(3, 13)에 주 전극(10, 11, 20, 21)이 접속됨으로써 장치 107이 완성된다.

이 제조 방법에서는 절연막을 일부 소자에 대해서는 박막화된 상태로 남기고, 다른 일부의 소자에 대해서는 제거한 데에다, 소스·드레인 영역(3, 13) 이외의 반도체 영역을 형성하기 위한 불순물의 주입이 행해진다. 이 때문에, 접합 특성의 열화 방지가 최우선하는 소자에 있어서 접합 특성을 높게 유지하면서, 더구나 모든 소자에 대해 편치스루 내성의 향상을 도모하는 것이 가능해진다.

#### <8. 제8 실시 형태>

도 32는 제8 실시 형태의 반도체 장치의 정면 단면도이다. 이 장치 108은 하나의 소자인 저전압 소자 L의 소스·드레인 영역(13)의 상면이 버즈 비크(18)의 저면보다도 높고, 그 상면 부근에 위치하고 있다는 점에 있어서 장치 101과는 특징적으로 다르다. 그에 따라, 소스·드레인 영역(13)의 저부도 버즈 비크(18)의 저면에 가깝고, 장치 101에서 보다도 높은 위치에 있다. 즉, 게이트 절연막(17)의 저면을 기준으로 한 소스·드레인 영역(13)의 깊이가 얇게 설정되어 있다. 이 때문에, 편치스루에 대한 내성이 더욱 높다고 하는 이점이 얻어진다.

장치 108을 제조하려면 먼저 제1 실시 형태의 제조 방법에 있어서, 도 6까지의 공정이 실행된 후에 도 33의 공정이 실행된다. 도 33의 공정에서는 먼저 도 6의 공정이 종료된 후의 중간물의 상면 전체에 걸쳐 차폐체 재료(64)가 퇴적된다. 그후, 이 차폐체 재료(64)에 선택적으로 에칭이 행해짐으로써, 고전압 소자 H의 영역을 덮고, 저전압 소자 L의 영역에 있어서 개구되는 차폐체(65)가 형성된다. 다음에, 이방성 에칭을 행함으로써, 차폐체(65)와 게이트 전극(19) 둘다 피복되지 않

은 절연막(55) 부분이 선택적으로 제거된다.

그후, 도 34에 도시한 바와 같이, 저전압 소자 L의 영역에 있어서의 반도체 기관(1)의 노출면상에 실리콘 층(29)이 퇴적된다. 실리콘층(29)의 퇴적은 주지된 선택적 에피택셜 성장법을 이용하여 용이하게 수행 가능하다. 실리콘층(29)은 그 상면이 버즈 비크(18)의 상면과 병행할 정도까지 퇴적된다. 수치예를 들면, 버즈 비크(18)의 두께가 약 100nm일 때 실리콘층(29)의 두께는 약 50nm 정도이다. 또, 실리콘층(29)은 완전한 실리콘층이어도 좋지만, 게르마늄이나 그 이외의 도우펀트를 함유하는 것이어도 좋다.

다음에, 도 35에 도시한 바와 같이, 게이트 전극(9, 19)을 차폐체로서 이용하면서 n형 불순물을 고농도로 주입함으로써, 웰(2, 12) 상면에 소스·드레인 영역(3, 13)이 선택적으로 형성된다. 이때, 도 8의 공정과 마찬가지로, 사이드월(57, 58)을 형성해 두고, 이것을 차폐체로서 이용해도 좋다. 또, 확장 영역(4, 14) 및 포켓 영역(5, 15)을 형성하기 위한 불순물의 주입을 소스·드레인 영역(3, 13)과 마찬가지로 실리콘층(29)의 형성 후에 행하는 것도 가능하다.

도 35의 공정이 실행되면, 저전압 소자 L의 영역에 있어서는 소스·드레인 영역(13)이 실리콘층(29)의 두께에 상당하는 부분만큼 위방향으로 시프트하여 형성된다. 즉, 실리콘층(29)을 적층한 후에 n형 불순물 주입이 행해지기 때문에, 실리콘층(29)이 형성된 저전압 소자 L의 영역에서는 소스·드레인 영역(13)은 게이트 절연막(17)의 하면을 기준으로 하여 실리콘층(29)만큼 얇게 형성된다. 그리고, 실리콘층(29)은 소스·드레인 영역(13)의 일부로 된다.



그후, 소스·드레인 영역(13)으로 주 전극(10, 11, 20, 21)이 접촉됨으로써, 장치 108이 완성된다. 이상과 같이, 제1 실시 형태의 제조 방법에 비교적 간단한 공정을 부가함으로써 펀치스루에 대한 내성이 특히 우수한 장치(108)를 제조하는 것이 가능하다.

또, 여기에서는 실리콘층(29)이 저전압 소자 L에 대해서만 선택적으로 형성되는 예를 나타냈지만, 모든 소자에 대해 실리콘층(29)을 형성하는 것도 가능하고, 그것에 의해 모든 소자에 대해 펀치스루 내성의 향상을 도모하는 것이 가능해진다. 이때, 도 33에 도시한 차폐체(65)를 형성하는 공정은 불필요해지므로, 제조 방법은 보다 간단하게 된다.

#### <9. 제9 실시 형태>

도 36은 제9 실시 형태의 반도체 장치의 정면 단면도이다. 이 장치(109)는 일부의 소자인 저전압 소자 L의 소스·드레인 영역(13)의 상면에 실리사이드층(30)이 퇴적하고 있다는 점에서 장치 101과는 특징적으로 다르다. 그리고, 이 실리사이드층(30)을 통해 소스·드레인 영역(13)과 주 전극(20, 21)이 결합하고 있다.

이 때문에, 소스·드레인 영역(13)과 주 전극(20, 21)의 접촉 저항을 낮추고, 그 결과 전류 구동 능력 및 동작 속도가 높아진다. 또한, 게이트 전극(9, 19)의 상면 위에도 실리사이드층(33, 34)이 각각 형성되어 있다. 이것도 게이트 전극(9, 19)의 전기저항의 저감을 통해 동작 속도의 향상에 기여한다.

장치 109를 제조하려면 먼저 제8 실시 형태의 제조 방법에 있어서, 도 33까지의 공정이 실행된 후에 도 37의 공정이 실행된다. 도 37의 공정의 개시전에는

게이트 전극(9, 19)으로서 폴리실리콘층(31, 32)이 각각 형성되어 있다. 도 37의 공정에서는 먼저 저전압 소자 L의 영역에 있어서의 반도체 기판(1)의 노출면, 및 폴리실리콘층(31, 32)의 상면 위에 W, Ti, Co, Ni, Pt 등의 금속 또는 그들을 성분으로서 포함하는 실리사이드가 퇴적된다. 그들의 두께는, 예를 들면 10nm 정도이다.

다음에, 열처리가 행해짐으로써, 이들의 금속 또는 실리사이드와, 반도체 기판(1) 및 폴리실리콘층(31, 32)의 사이에서 실리사이드화 반응이 일어나게 된다. 이로 인해, 저전압 소자 L의 영역에 있어서의 반도체 기판(1)의 상면 위에 실리사이드 층(30)이 퇴적되고, 폴리실리콘층(31, 32) 위에 다른 실리사이드층(33, 34)이 퇴적된다.

그후, 도 35의 공정과 마찬가지로, n형 불순물 도입을 행하고, 소스·드레인 영역(3, 13)을 형성한 후에 소스·드레인 영역(3, 13)에 주 전극(10, 11, 20, 21)을 접속함으로써 장치 109가 완성된다. 소스·드레인 영역(13)은 실리사이드층(30)을 통해 주 전극(20, 21)에 접속된다. 또, 확장 영역(4, 14), 포켓 영역(5, 15) 및 소스·드레인 영역(3, 13)을 형성하기 위해 불순물을 도입하는 공정을 실리사이드층(30)이 형성된 후에 실행하는 것도 가능하다.

이상과 같이, 제1 실시 형태의 제조 방법에 비교적 간단한 공정을 부가함에 의해 동작의 고속성이 특히 우수한 장치(109)를 제조하는 것이 가능하다. 이상의 제조 방법의 예는 고전압 소자 H가 양호한 접합 특성을 특히 필요로 하는 소자일 때, 예를 들면 장치 109가 DRAM이고, 고전압 소자 H가 메모리 셀에 속하는 MOS 트

랜지스터이며, 저전압 소자 L이 주변 회로에 속하는 MOS 트랜지스터일 경우에 상당한다. 앞에 서술한 바와 같이, 메모리 셀에 속하는 MOS 트랜지스터에서는 접합 리크를 회피하는 것이 특히 요구되기 때문에 절연막(54)을 남겨 두는 것이 바람직하다.

이에 대해, 어느 소자에 있어서도 접합 리크를 회피하는 것이 특히 엄격하게 요구되지 않는 장치에 있어서는 모든 소자에 대해 실리사이드층(30)을 형성하는 것도 가능하고, 그것에 의해 모든 소자에 대해 동작 속도의 향상을 도모하는 것이 가능해진다. 이때, 도 33에 있어서의 차폐체(65)를 형성하는 공정은 불필요해지므로, 제조 방법은 보다 간단하게 된다.

#### <10. 제10 실시 형태>

도 38은 제10 실시 형태의 반도체 장치의 정면 단면도이다. 이 장치 110은 일부 소자인 저전압 소자 L의 소스·드레인 영역(13)의 상면에 실리콘층(35)과 실리사이드층(36)이 퇴적하고 있다는 점에서, 장치 101과는 특징적으로 다르다. 그리고, 이 실리사이드층(36)을 통해 소스·드레인 영역(13)과 주 전극(20, 21)이 결합하고 있다. 또한, 게이트 전극(9, 19)에는 장치 109와 마찬가지로 실리사이드층(37, 38)이 형성되어 있다.

이 때문에, 장치 109와 마찬가지로 소스·드레인 영역(13)과 주 전극(20, 21)의 접촉 저항을 낮추고, 그 결과 전류 구동 능력 및 동작 속도가 높아진다. 또한, 게이트 전극(9, 19)의 상면 위에도 실리사이드층(33, 34)이 각각 형성되어 있다. 이것도 게이트 전극(9, 19)의 전기 저항의 저감을 통해 동작 속도의 향상에

기여한다. 또한, 실리콘층(35)의 두께분만큼 소스·드레인 영역(13)이 얇게 형성되기 때문에, 장치 108과 마찬가지로 편치스루에 대한 내성이 높아진다.

또한, 실리콘사이드층(36)의 형성시에, 실리콘사이드층(36)으로부터 반도체 기판(1)으로 향해 돌출하는 스파이크가 발생하는 일이 있다는 것이 알려져 있지만, 스파이크가 발생해도 그 위치는 실리콘층(35)의 두께에 상당하는 분만큼 위쪽으로 후퇴한다. 따라서, 소스·드레인 영역(13)이 실리콘층(35)의 두께에 상당하게 얇게 형성되지 않을 경우에는 소스·드레인 영역(13)과 웰(12)과의 접합면을 스파이크가 통과함으로써 생기는 접합 리크를 억제하여 접합 특성을 높일 수 있다고 하는 이점이 얻어진다.

장치 110을 제조하려면 먼저 제8 실시 형태의 제조 방법에 있어서 도 33까지의 공정이 실행된 후에 도 39의 공정이 실행된다. 도 39 공정의 개시 전에는 게이트 전극(9, 19)으로서 폴리실리콘층(31, 32)이 각각 형성되어 있다. 도 39의 공정에서는 먼저 저전압 소자 L의 영역에서의 반도체 기판(1)의 노출면상에 실리콘층(35)이 퇴적된다.

실리콘층(35)의 퇴적에는 도 34의 공정과 마찬가지로 선택적 에피택셜 성장법을 이용할 수 있다. 실리콘층(35)은 버즈 비크(18)의 두께가 약 100nm일 때에, 예를 들면 50nm 정도의 두께로 퇴적된다. 그후, 폴리실리콘층(31, 32)을 차폐체로서 이용하면서 n형 불순물을 주입함으로써 소스·드레인 영역(3, 13)이 형성된다.

이때, 실리콘층(35)은 소스·드레인 영역(13)의 일부로 된다. 또한, 게이트 절연막(17)의 하면을 기준으로 한 소스·드레인 영역(13)의 깊이는 실리콘층(35)의

두께분만큼 작아진다. 그후, 도 38에 도시한 바와 같이, 실리콘층(35)의 상면 위, 및 폴리실리콘층(31, 32)의 상면 위에 W, Ti, Co, Ni, Pt 등의 금속 또는 그들을 성분으로서 포함하는 실리사이드가 퇴적된다.

그들의 두께는, 예를 들면 10 nm 정도이다. 다음에, 열처리가 행해짐으로써 이들의 금속 또는 실리사이드와, 실리콘층(35) 및 폴리실리콘층(31, 32) 사이에서 실리사이드화 반응이 일어나게 된다. 이로 인해, 실리콘층(35)의 상면 위에 실리사이드층(36)이 퇴적되고, 폴리실리콘층(31, 32) 위에 다른 실리사이드층(37, 38)이 퇴적된다.

또, 확장 영역(4, 14) 및 포켓 영역(5, 15)을 형성하기 위해 불순물을 도입하는 공정을 소스·드레인 영역(3, 13)과 마찬가지로 실리콘층(35)의 형성 후에 행하는 것도 가능하다. 또는, 이들의 공정을 실리사이드층(36)이 형성된 후에 행하는 것도 가능하다. 또한, 스파이크의 영향을 억제하기 위해, 소스·드레인 영역(3, 13)을 형성하기 위한 불순물의 도입을 실리콘층(35)의 형성 전에 행하는 것도 가능하다.

그후, 실리콘층(35)까지 넓혀진 소스·드레인 영역(3, 13)에 주 전극(10, 11, 20, 21)을 접속함으로써 장치 110이 완성된다. 소스·드레인 영역(13)은 실리사이드층(36)을 통해 주 전극(20, 21)으로 접속된다. 이상과 같이, 제1 실시 형태의 제조 방법에 비교적 간단한 공정을 부가함으로써, 접합 리크를 억제하면서 편치 스루 특성 및 동작의 고속성이 특히 우수한 장치 110을 제조하는 것이 가능하다.

이상의 제조 방법의 예는 고전압 소자 H가 양호한 접합 특성을 특히 필요로

하는 소자일 때, 예를 들면 장치 110이 DRAM이고, 고전압 소자 H가 메모리 셀에 속하는 MOS 트랜지스터이며, 저전압 소자 L이 주변 회로에 속하는 MOS 트랜지스터인 경우에 상당한다. 앞에서 서술한 바와 같이 메모리 셀에 속하는 MOS 트랜지스터에서는 접합 리크를 회피하는 것이 특히 요구되기 때문에 절연막(54)을 남겨 두는 것이 바람직하다.

이것에 대해, 어느 소자에 있어서도 접합 리크를 회피하는 것이 특히 엄격하게 요구되지 않는 장치에 있어서는 모든 소자에 대해 실리콘층(35) 및 실리콘사이드층(36)을 형성하는 것도 가능하고, 그것에 의해 모든 소자에 대해 동작 속도의 향상과 펀치스루 내성의 향상을 도모하는 것이 가능해진다. 이때, 도 33에 있어서의 차폐체(65)를 형성하는 공정은 불필요해지므로, 제조 방법은 보다 간단하게 된다.

#### <11. 변형예>

(1) 이상의 설명에서는 반도체 기판(1)에 형성되는 소자가 n형 MOS 트랜지스터인 예를 채택했다. 그러나, p형 MOS 트랜지스터에 대해서도 마찬가지로 구성하는 것이 가능하고 마찬가지로의 효과를 거둔다.

(2) 또한, 이상의 설명에서는 반도체 기판(1)에 형성되는 소자가 MOS 트랜지스터인 예를 채택했다. 그러나, 본 발명은 MOS 트랜지스터에 한하지 않고, 반도체 기판의 한 주요면에 MOS 구조를 갖는 절연 게이트형의 반도체 소자를 구비하는 반도체 장치 일반에 대해 실시 가능하다. 즉, 본 발명은 제1 도전 형식의 한쌍의 반도체 영역과 그들 사이에 끼워진 채널 영역으로서의 제2 도전 형식의 반도체 영역이 반도체 기판의 한 주요면을 따라 형성되어 있고, 게이트 전극이 절연막을 사이

에 두고 채널 영역에 대향하고 있는 MOS 구조를 갖는 IGBT와, 사이리스터, 그 이외의 절연 게이트형인 반도체 소자를 구비하는 반도체 장치 전반에 넓게 적용가능하다.

(3) 또한, 이상의 설명에서는 주 전극(10, 11, 20, 21)이, 게이트 전극(9, 19)이 대향하는 반도체 기판(1) 위의 주요면에 접속된 예를 나타냈지만, 본 발명은 반드시 이와 같은 구성에 제한되는 것은 아니다. 예를 들면, 중형의 IGBT 등, 주 전극의 일부가 반도체 기판(1) 아래의 주요면에 접속된 절연 게이트형의 반도체 장치에 대해서도 본 발명은 적용 가능하다.

#### 【발명의 효과】

제1 발명의 장치에서는 게이트 전극의 바로 아래에 위치하는 절연막인 게이트 절연막 중에서 얇은 부분이 차지하는 비율은 제2군의 소자보다도 제1군의 소자에서 크다. 이 때문에, 제1군의 소자를 높은 전류 구동 능력이 요구되는 소자로서 이용하고, 제2군의 소자를 고내압이 요구되는 소자로서 이용함으로써, 고속 동작과 긴 수명을 양립적으로 실현할 수 있다. 더구나, 제1 및 제2군의 사이에서 게이트 길이가 다르게 되어 있기 때문에, 열반응 처리에 의한 버즈 비크의 형성이라고 하는 종래 주지된 간단한 방법을 이용하여 상기한 비율을 용이하게 다르게 할 수 있다. 즉, 이 장치는 복잡한 공정을 요하지 않고 용이하게 제조 가능하다.

제2 발명의 장치에서는 확장 영역에 의해 버즈 비크의 바로 아래가 덮여져 있기 때문에, 게이트 절연막이 버즈 비크의 부분으로 두꺼워져 있음에 따른 게이트 임계 전압의 상승이 억제된다. 또한, 확장 영역은 제2 반도체 영역보다도 저부가

앞으로, 펀치 스루에 대한 장치의 내성이 높아진다.

제3 발명의 장치에서는 제2 반도체 영역이 버즈 비크의 저면을 덮고 있기 때문에, 확장 영역을 형성하지 않고 게이트 임계 전압의 상승이 억제된다.

제4 발명의 장치에서는 제2군에 있어서는 버즈 비크가 게이트 절연막의 전체를 차지하기 때문에, 제2군의 소자의 경시 열화가 더욱 효과적으로 억제된다.

제5 발명의 장치에서는 질소 도입 영역이 구비되므로, 버즈 비크를 형성하는 공정에 있어서, 반도체 기판이 침식되어 버즈 비크가 가라앉아 들어간다고 하는 현상을 완화할 수 있다. 그 결과, 제2 반도체 영역이 얇게 형성되기 때문에 펀치스루 내성을 더욱 높일 수 있다.

제6 발명의 장치에서는 제2 반도체 영역의 노출면이 한쌍의 버즈 비크의 바로 아래에서 벗어난 영역에서 버즈 비크의 저부보다도 높은 위치에 있기 때문에, 버즈 비크의 저부를 기준으로 한 제2 반도체 영역의 깊이를 그만큼 작게 억제하는 것이 가능하다. 그것에 의해, 펀치스루 내성이 더욱 높아진다.

제7 발명의 장치에서는 한쌍의 주 전극이 한쌍의 제2 반도체 영역에 접속됨으로써, 복수의 소자 중 적어도 일부로서 MOS 트랜지스터가 구비되어 있다. 더구나, 주 전극이 반도체 화합물층을 통해 제2 반도체 영역에 접속되어 있기 때문에, 그들 사이의 접촉 저항이 낮춰지고, 그 결과 전류 구동 능력 및 동작 속도가 높아진다. 특히, 제6 발명의 장치와 조합하고, 게다가 노출면이 높아져 있는 만큼 제2 반도체 영역을 얇게 하지 않고, 노출면이 높아져 있는 제2 반도체 영역에 반도체 금속 화합물층이 형성되어 있을 때에는 반도체 화합물층을 형성하는 공정에서 발생



할 우려가 있는 스파이크에 의한 제1 및 제2 반도체 영역 사이의 접합 특성의 열화를 억제할 수 있다.

제8 발명의 장치에서는 게이트 전극이 반도체 기판에 비해 열반응에 대한 내성이 높은 도전성 재료로 구성되어 있기 때문에, 도전성 재료의 얇아짐을 고려하지 않고, 즉 더욱 용이하게 장치를 얻을 수 있는, 열반응 처리에 의한 버즈 비크의 형성이라고 하는 제조 방법을 적용할 수 있다.

제9 발명의 제조 방법에서는 2개의 영역 사이에서 게이트 길이를 다르게 하여 종래 주지된 열반응 처리를 행함으로써 게이트 전극의 바로 아래에 버즈 비크를 침입시키기 때문에, 게이트 절연막 중에서 후막화된 부분이 차지하는 비율을 2개의 영역 사이에서 용이하게 다르게 하고 있다. 즉, 제1 발명의 장치를 용이하게 얻을 수 있다.

제10 발명의 제조 방법에서는 게이트 전극을 차폐체로서 이용하여 불순물의 도입을 행함으로써, 확장 영역이 용이하게 형성된다. 즉, 제2 발명의 장치를 용이하게 얻을 수 있다.

제11 발명의 제조 방법에서는 게이트 전극을 차폐체로서 이용하여 불순물의 도입을 행함으로써, 버즈 비크의 저면을 덮도록 제2 반도체 영역이 형성된다. 즉, 제3 발명의 장치를 용이하게 얻을 수 있다.

제12 발명의 제조 방법에서는 제2군에 있어서 게이트 절연막 전부를 버즈 비크가 차지하도록 열반응 처리가 행해진다. 즉, 간단한 방법으로 제4 발명의 장치를 얻을 수 있다.

제13 발명의 제조 방법에서는 게이트 전극을 차폐체로서 이용하여 질소의 도입을 행함으로써, 질소 도입 영역이 형성되고, 절연막은 이 영역의 노출면에 있어서 후막화된다. 그 결과, 후막화된 부분의 싱크가 억제되기 때문에, 그 후에 형성되는 제2 반도체 영역이 그만큼 얇아진다. 그 결과, 장치의 펀치스루 내성을 향상시킬 수 있다. 즉, 제5 발명의 장치가 용이하게 실현된다.

제14 발명의 제조 방법에서는 절연막의 후막화된 부분이 선택적으로 제거된 후에, 제2 반도체 영역을 형성하기 위한 불순물의 도입이 행해진다. 이 때문에, 불순물의 도입이, 낮은 조사 에너지에서의 주입을 이용하여 수행하는 것이 가능해진다. 그 결과, 제2 반도체 영역의 넓어짐을 억제할 수 있기 때문에, 펀치 스루 내성이 우수한 장치가 완성된다.

제15 발명의 제조 방법에서는 절연막의 후막화된 부분이 선택적으로 박막화된 후에, 제2 반도체 영역을 형성하기 위한 불순물의 도입이 행해진다. 이 때문에, 불순물의 도입을, 낮은 조사 에너지에서의 주입을 이용하여 수행하는 것이 가능해진다. 그 결과, 제2 반도체 영역의 넓어짐을 억제할 수 있으므로, 펀치스루 내성이 우수한 장치가 완성된다. 더구나, 남겨진 절연막이 제2 반도체 영역의 오염을 방지하여 접합 특성을 높인다.

제16 발명의 제조 방법에서는 절연막의 후막화된 부분이 제1 및 제2군 중의 한쪽에 있어서 선택적으로 제거된 후에, 제2 반도체 영역을 형성하기 위한 불순물 도입이 행해진다. 이 때문에, 한쪽 군에 있어서, 불순물의 도입이, 낮은 조사 에너지에서의 주입을 이용하여 수행하는 것이 가능해진다. 그 결과, 한쪽 군에 있어

서는 제2 반도체 영역의 넓어짐이 억제되기 때문에, 펀치스루 내성이 높은 소자가 실현되고, 다른 쪽의 군에 있어서는 절연막이 남기 때문에, 오염이 적고 접합 특성이 높은 소자가 실현된다. 즉, 접합 특성의 열화 방지가 펀치스루 내성의 향상보다도 우선하는 소자와 그렇지 않은 소자가 혼재하는 장치의 제조에 적합하다.

제17 발명의 제조 방법에서는 제1 및 제2군 양쪽에 있어서, 절연막의 후막화된 부분이 선택적으로 박막화된 후에 박막화된 부분이 제1 및 제2군 중 한쪽에서 선택적으로 제거된다. 그후에, 제2 반도체 영역을 형성하기 위한 불순물의 도입이 행해진다. 이 때문에, 접합 특성의 열화 방지가 최우선하는 군에 있어서, 접합 특성을 높게 유지하면서, 게다가 쌍방의 군에 대해서 펀치스루 내성의 향상을 도모하는 것이 가능해진다.

제18 발명의 제조 방법에서는 적어도 한쪽 군에 있어서, 반도체층을 퇴적함으로써 제2 반도체 영역이 형성되어야 할 반도체 기판의 주요면을 돌출시킨 후에 제2 반도체 영역을 형성하기 위한 불순물의 도입이 행해진다. 이 때문에, 제2 반도체 영역이 얇게 형성되므로 펀치 스루 내성이 우수한 소자를 구비하는 장치가 실현된다. 즉, 제6 발명의 장치를 용이하게 얻을 수 있다.

제19 발명의 제조 방법에서는 적어도 한쪽 군에 있어서, 제2 반도체 영역에 상당하는 반도체 기판의 주요면 상에 반도체 금속 화합물층이 형성되고, 이들을 통해 주 전극이 제2 반도체 영역과 접속되기 때문에, 전류 구동 능력이 높은 MOS 트랜지스터를 구비하는 장치가 실현된다. 즉, 제7 발명의 장치가 용이하게 얻어진다. 특히, 제17 발명과 조합하고, 게다가 반도체층을 퇴적하기 전에 제2 반도체

영역이 형성되는 경우에는 반도체 금속 화합물층을 형성하는 공정에서 발생할 우려가 있는 스파이크가 제1 및 제2 반도체 영역 사이의 접합 특성을 열화시키는 것을 억제할 수 있다.

제20 발명의 제조 방법에서는 도전성 재료로서 열반응에 대한 내성이 반도체 기판에 비해 높은 재료가 이용되기 때문에, 열반응 처리에 의해 버즈 비크의 형성을 행할 때에 도전성 재료의 얇아짐을 고려할 필요가 없다. 즉, 제조 방법이 더욱 용이화된다.

【특허청구범위】

【청구항 1】

복수의 소자가 반도체 기판에 만들어진 반도체 장치에 있어서,

상기 반도체 기판이 주요면을 규정하고,

상기 복수의 소자 각각은

상기 주요면에서 선택적으로 노출되도록 상기 반도체 기판에 형성되어 있는

제1 도전 형식의 제1 반도체 영역;

상기 제1 반도체 영역을 사이에 두고 상기 주요면에서 선택적으로 노출되도록, 서로 분리하여 상기 반도체 기판에 선택적으로 형성되어 있는 제2 도전 형식의 한쌍의 제2 반도체 영역;

상기 제1 반도체 영역이 노출되는 면 위에 배치된 게이트 절연막;

상기 게이트 절연막 상에 배치된 게이트 전극

을 구비하며,

상기 복수의 소자가 각 군이 당해 복수의 소자 중 적어도 한개를 포함하는 복수 군으로 분류되고,

상기 한쌍의 제2 반도체 영역의 한쪽에서 다른쪽으로 향하는 방향을 따른 상기 게이트 전극의 길이인 게이트 길이가 상기 복수 군 중의 제1군보다도 제2군에 있어서 짧으며,

상기 복수의 소자 각각에 구비하는 상기 게이트 절연막은 상기 게이트 전극 바로 아래의 영역 중에서, 상기 방향을 따라 단부에서 중앙부로 향하여 연장하는

후막부(厚膜部)인 한쌍의 버즈 비크(Bird's Beak)를 갖고 있고,

상기 게이트 절연막은 적어도 상기 제1군에 있어서는 상기 한쌍의 버즈 비크 사이에 끼워져 상기 한쌍의 버즈 비크보다도 얇은 부분을 갖고 있으며,

상기 게이트 전극 바로 아래의 상기 영역 중에서 상기 한쌍의 버즈 비크가 차지하는 비율이 상기 제1군보다도 상기 제2군에 있어서 높은

것을 특징으로 하는 반도체 장치.

#### 【청구항 2】

제1항에 있어서, 상기 비율이 상기 제2군에 있어서 100%인 것을 특징으로 하는 반도체 장치.

#### 【청구항 3】

반도체 장치의 제조 방법에 있어서,

(a) 주요면을 규정하고, 제1 도전 형식의 제1 반도체 영역이 상기 주요면에 노출되는 반도체 기판을 준비하는 공정;

(b) 상기 주요면 위에 절연막을 형성하는 공정;

(c) 상기 절연막 위에 도전성 재료를 퇴적하는 공정;

(d) 상기 도전성 재료의 선택적 제거를 행함으로써, 상기 주요면을 따른 복수의 영역 각각에 게이트 전극을 형성하고, 게다가 그때에 각 군이 상기 복수의 영역 중 적어도 하나를 포함하도록 상기 복수의 영역이 분류되어 이루어진 복수 군 중 제1군보다도 제2군에 있어서, 상기 게이트 전극의 게이트 길이가 짧게 되도록 상기 도전성 재료의 상기 선택적 제거를 행하는 공정;

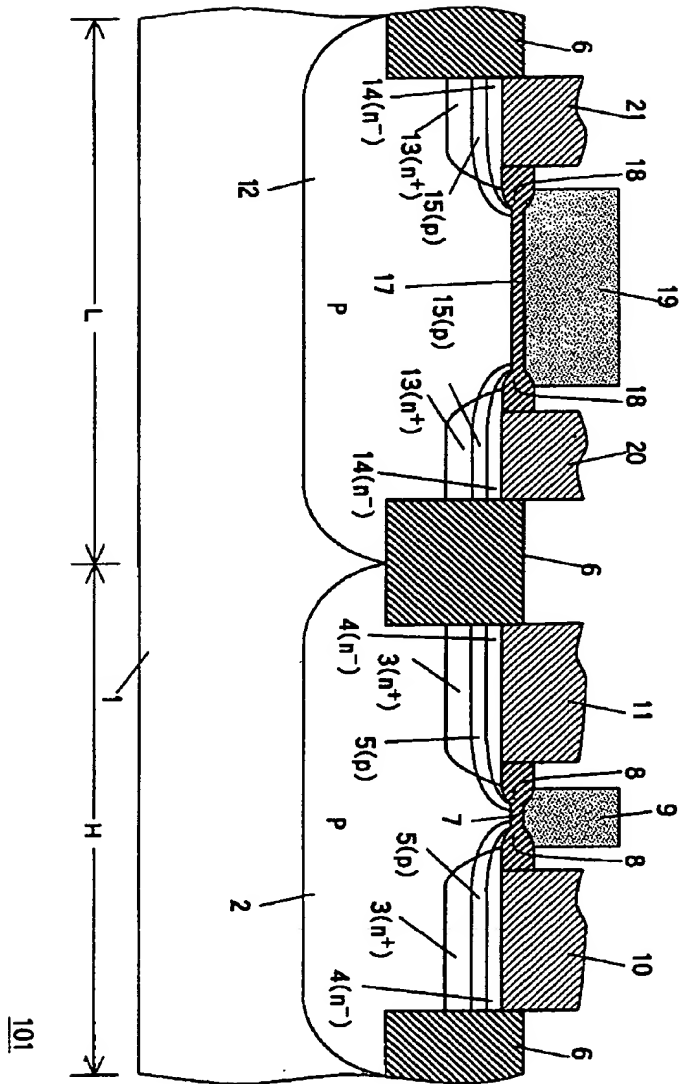
(e) 열반응 처리를 행함으로써, 상기 복수의 영역 각각에 있어서 상기 게이트 전극에 덮이지 않은 상기 절연막 부분을 후막화함과 동시에, 상기 게이트 전극 바로 아래의 영역으로도 후막화한 부분을 한쌍의 버즈 비크로서 침입시키고, 게다가 적어도 상기 제1군에 있어서는 상기 게이트 전극 바로 아래의 영역 중에서 상기 한쌍의 버즈 비크가 침입하지 않은 부분이 남으며, 상기 게이트 전극 바로 아래의 상기 영역 중에서 상기 한쌍의 버즈 비크가 차지하는 비율이 상기 제1군보다도 상기 제2군에서 높아지도록 상기 열반응 처리를 행하는 공정;

(f) 적어도 상기 공정 (d)보다도 후에, 상기 게이트 전극을 차폐체의 적어도 주요부분으로서 이용하여 제2 도전 형식의 불순물을 상기 주요면에 선택적으로 도입함으로써, 상기 복수의 영역 각각에 있어서 상기 게이트 전극 바로 아래에서의 상기 제1 반도체 영역이 노출하는 면을 사이에 두고, 상기 주요면에서 선택적으로 노출되도록 서로 분리하여, 한쌍의 제2 반도체 영역을 상기 반도체 기판에서 선택적으로 형성하는 공정

을 구비하는 것을 특징으로 하는 반도체 장치의 제조 방법.

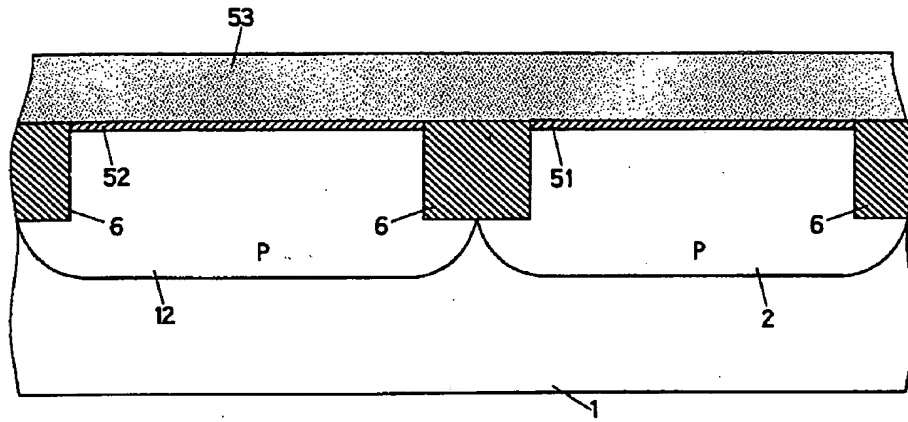
【도면】

【도 1】

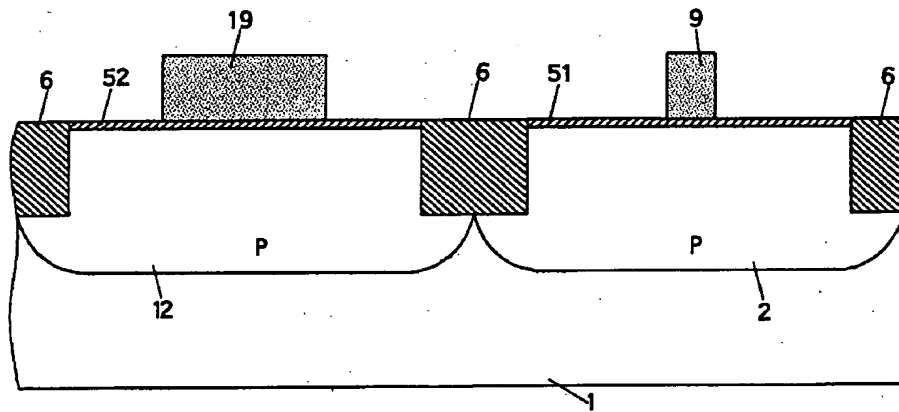


【도 2】

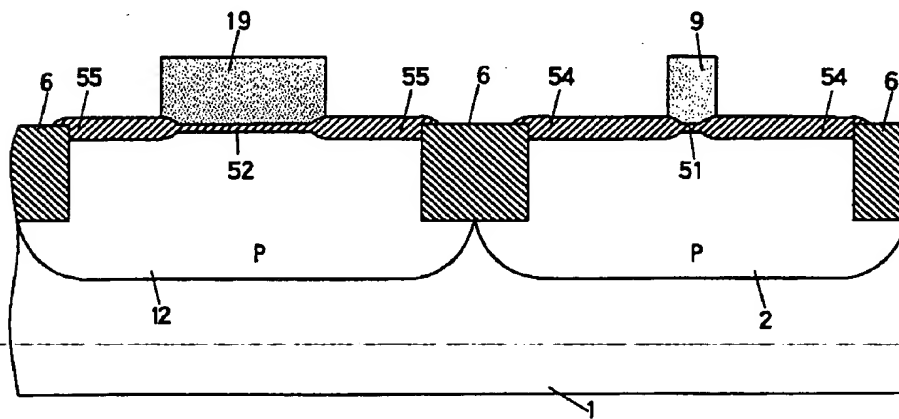




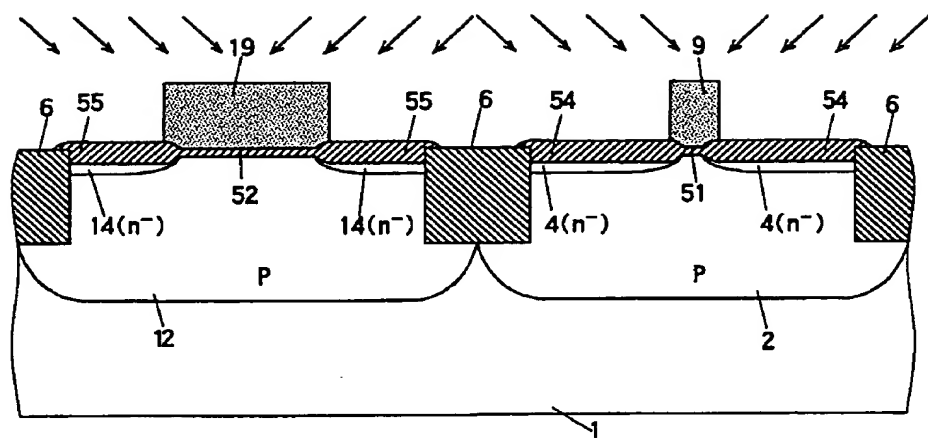
【도 3】



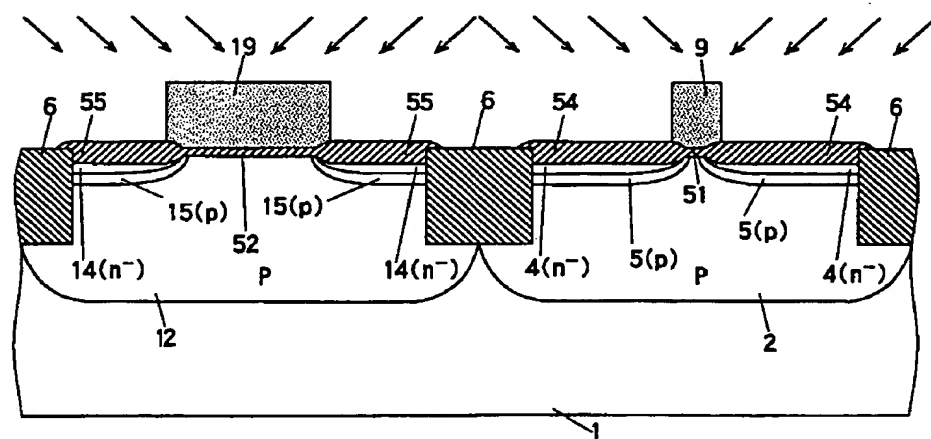
【도 4】



【도 5】



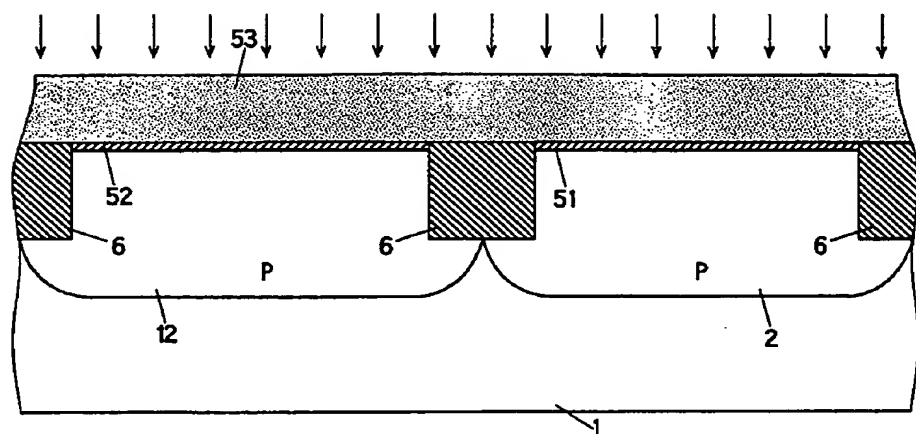
【도 6】



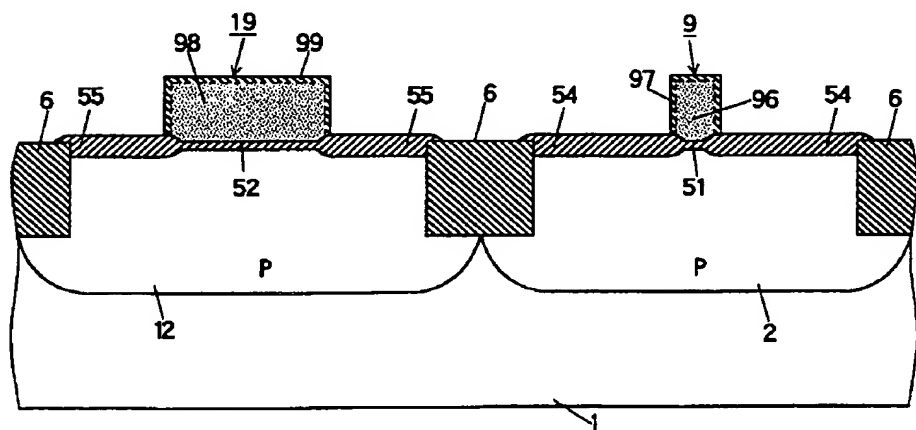
【도 7】



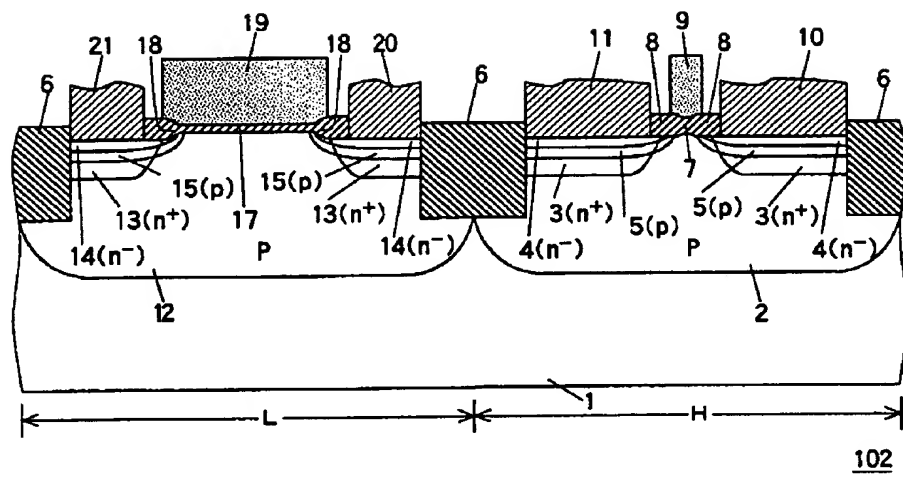
【도 10】



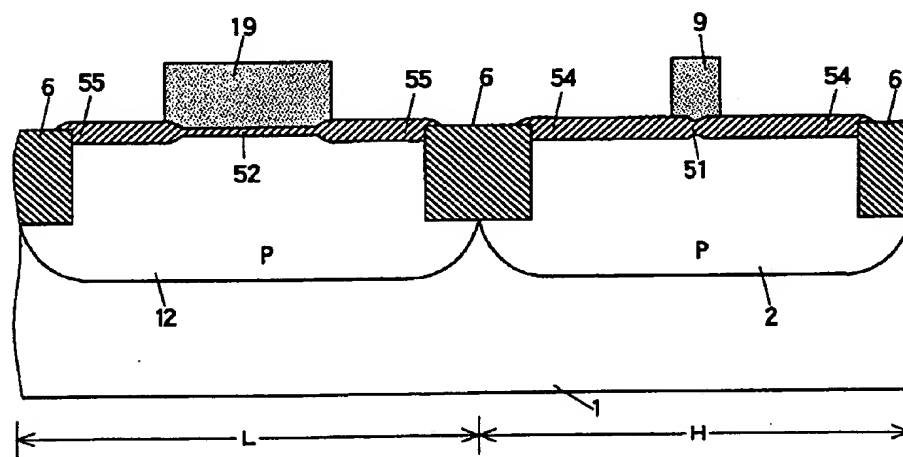
【도 11】



【도 12】

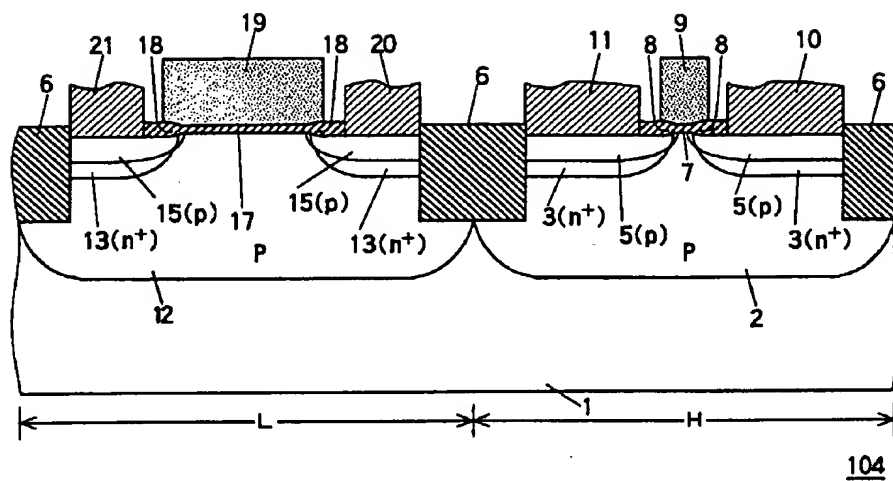


【図 13】

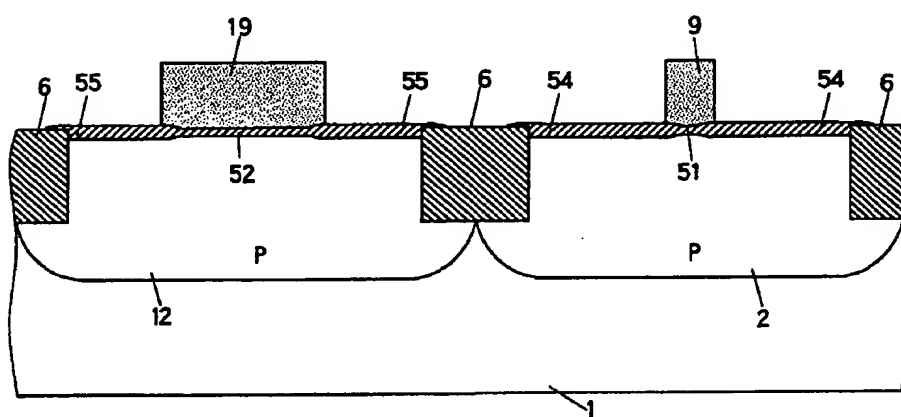


【図 14】

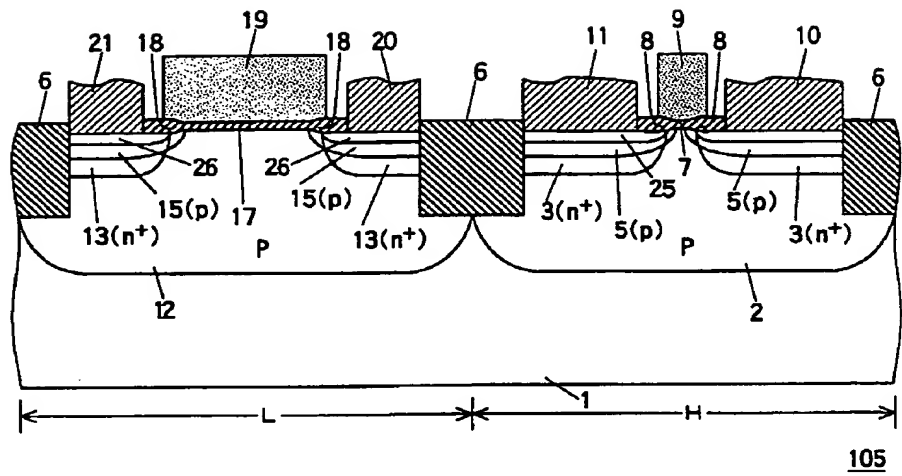




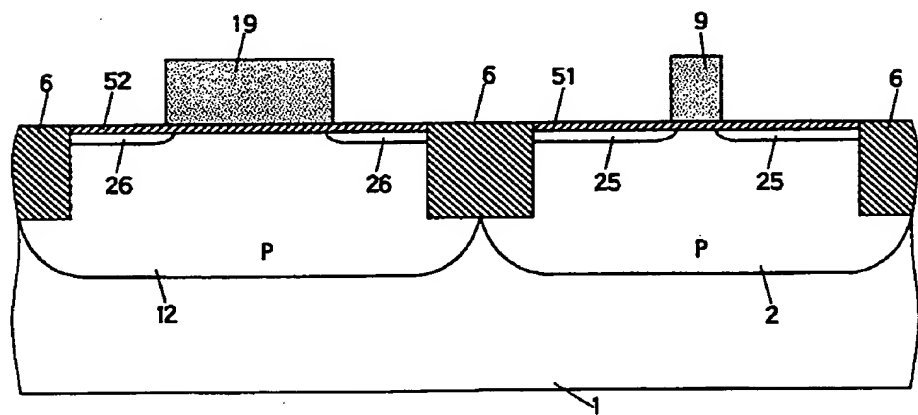
【図 17】



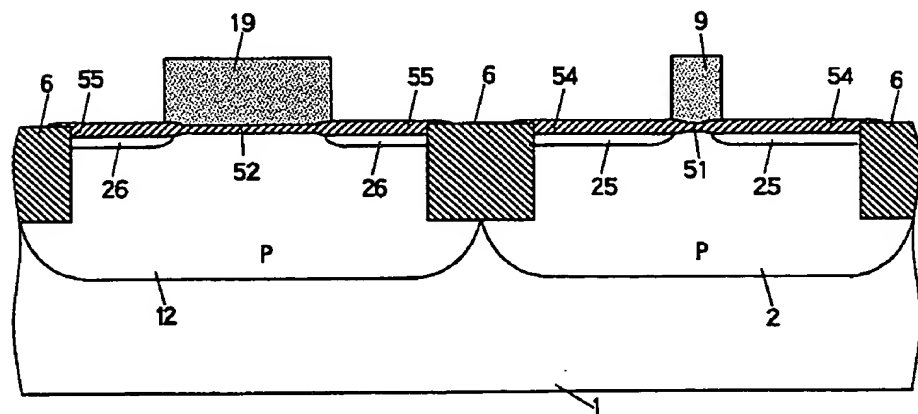
【図 18】



【図 19】

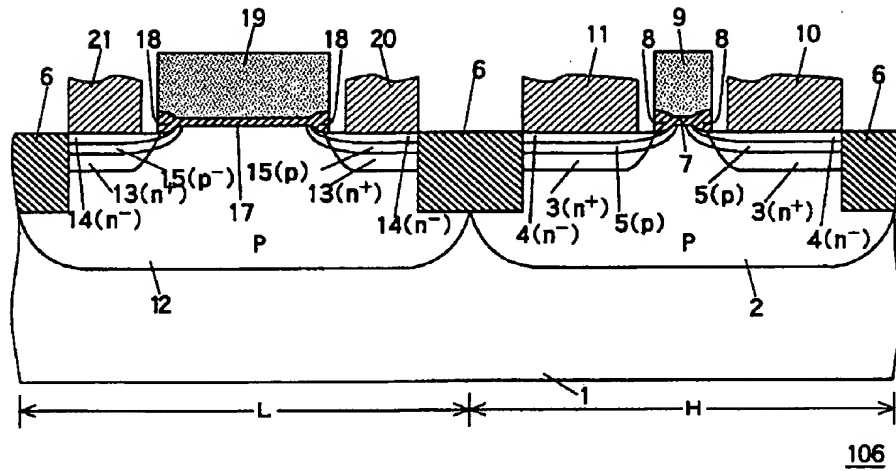


【図 20】

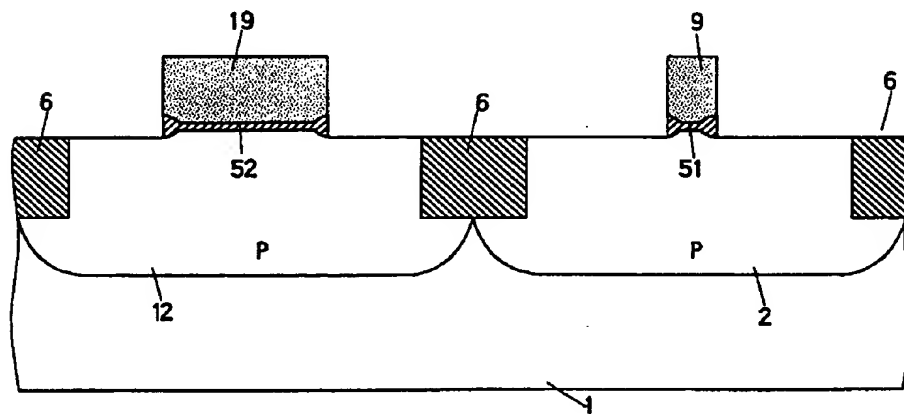




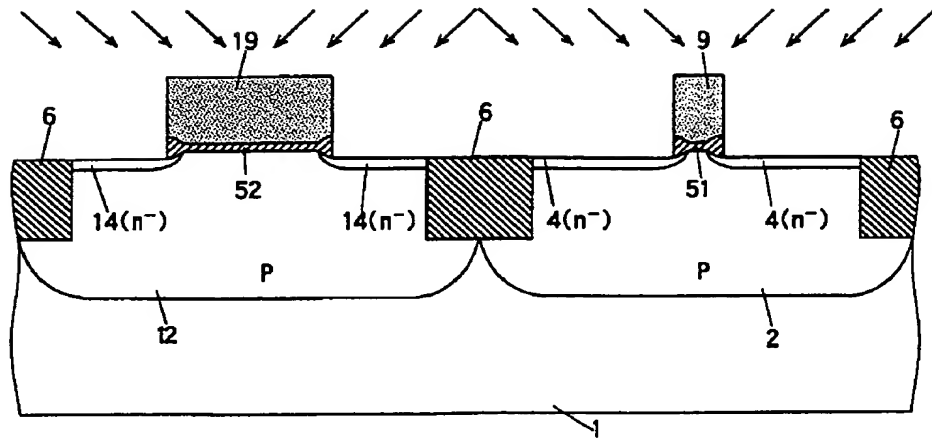
【도 21】



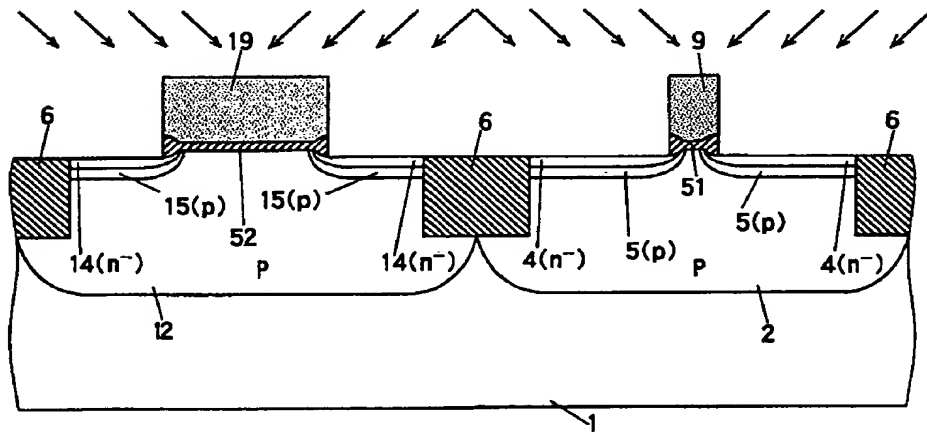
【도 22】



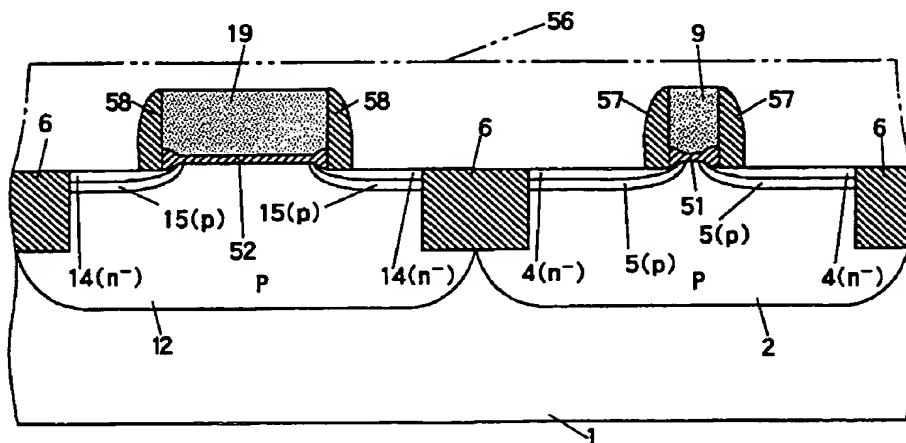
【도 23】



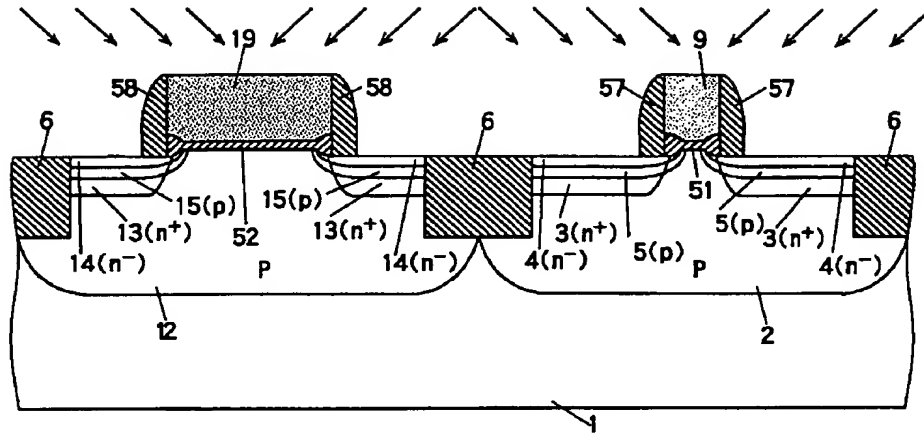
【図 24】



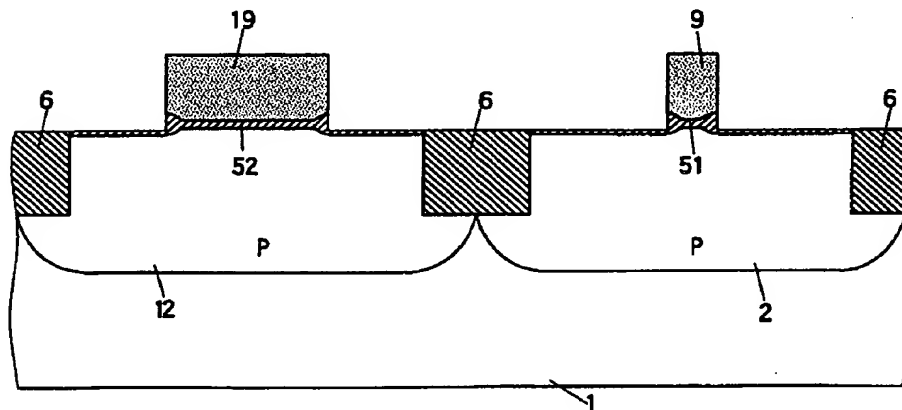
【図 25】



【도 26】



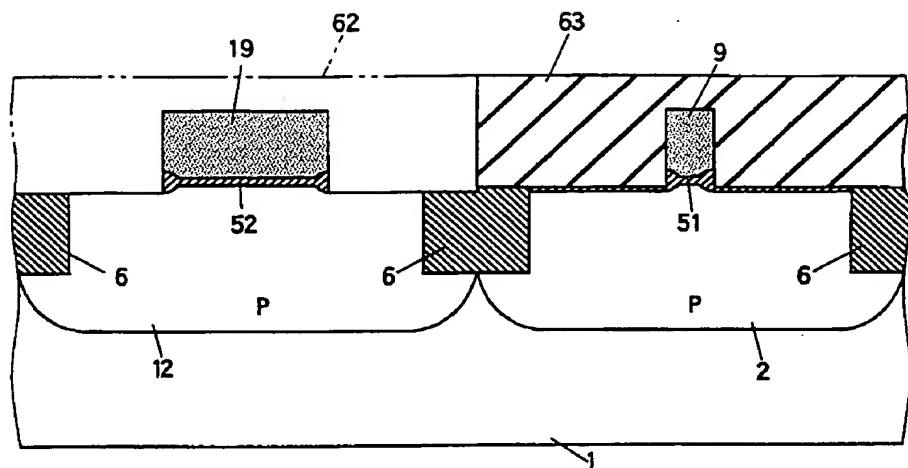
【도 27】



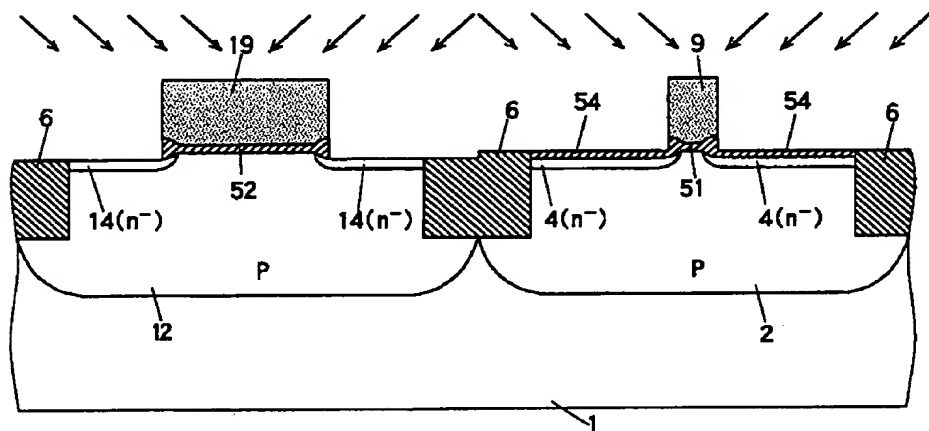
【도 28】



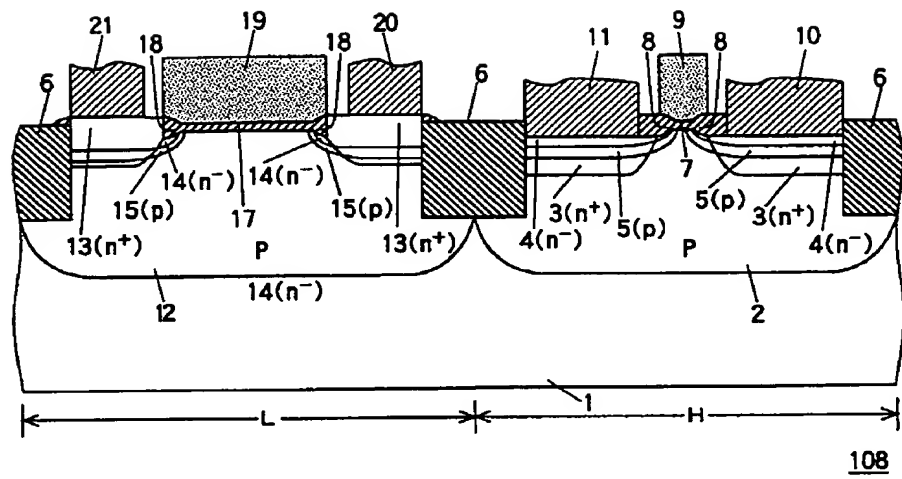
65



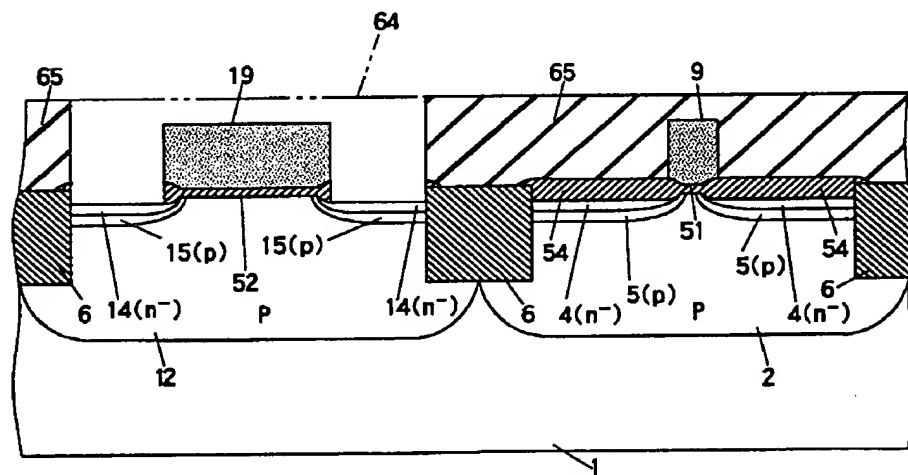
【도 31】



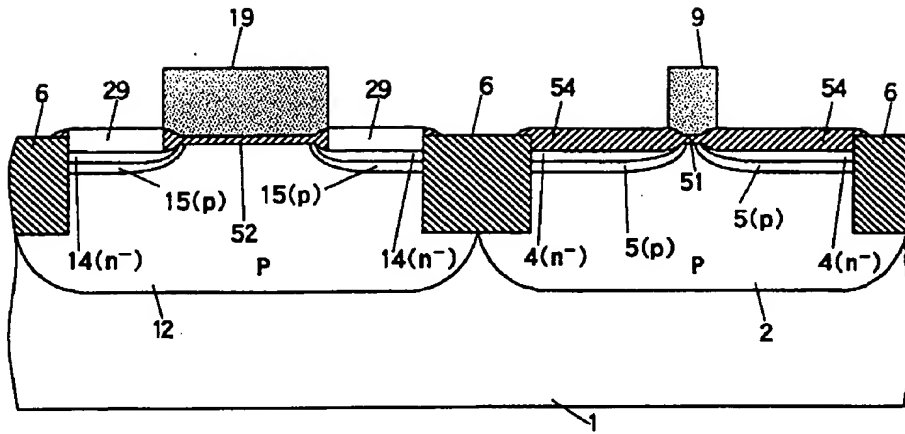
【도 32】



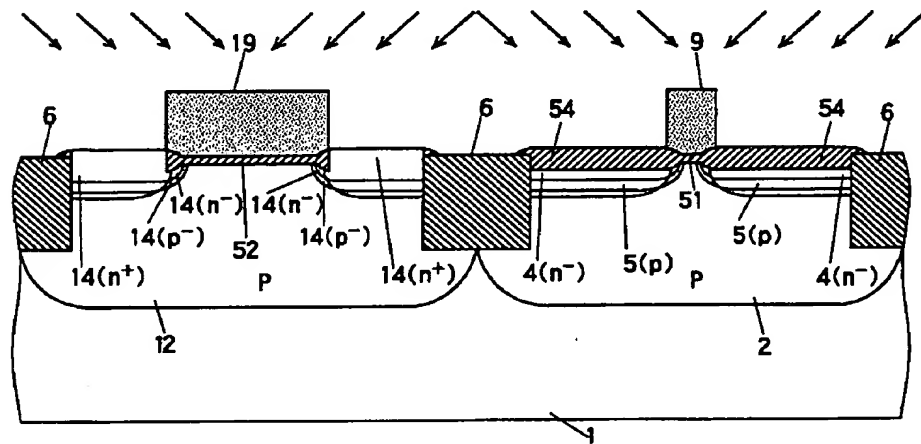
【도 33】



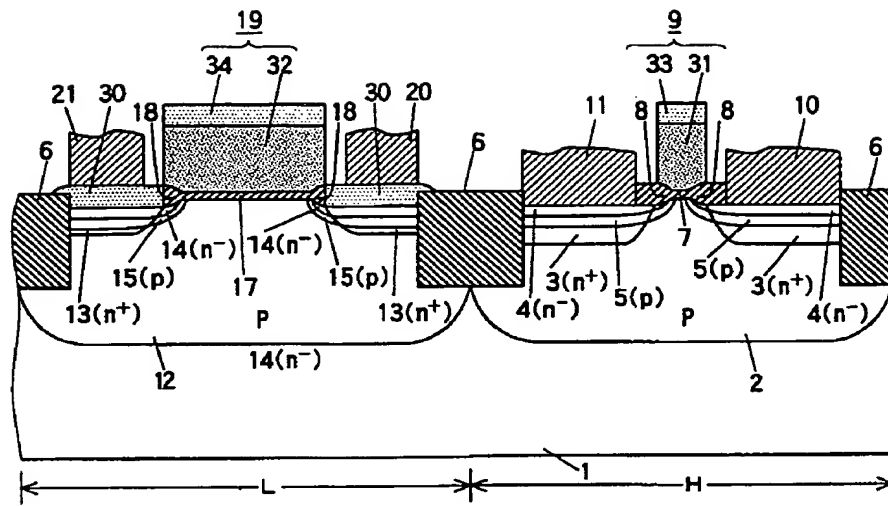
【도 34】



【도 35】

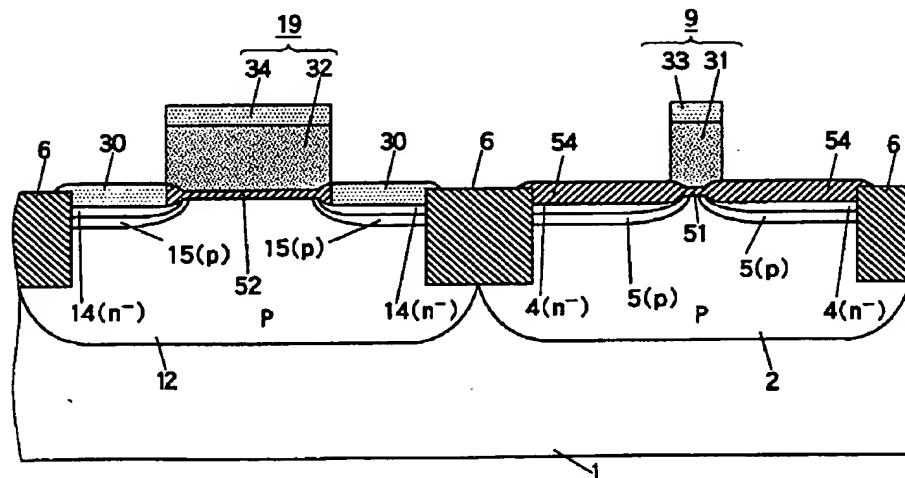


【도 36】



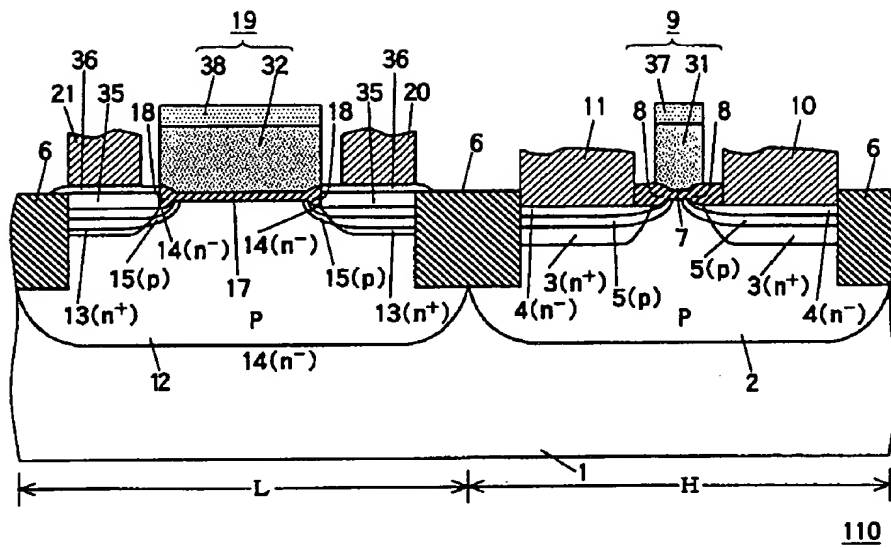
109

【도 37】

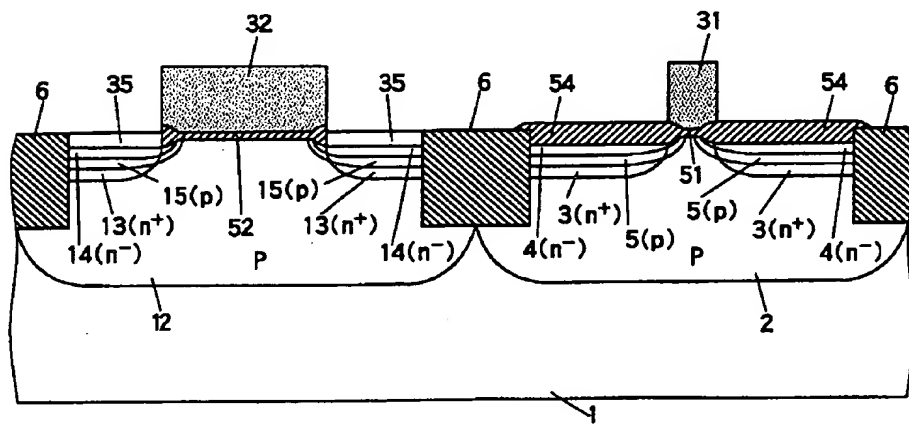


【도 38】



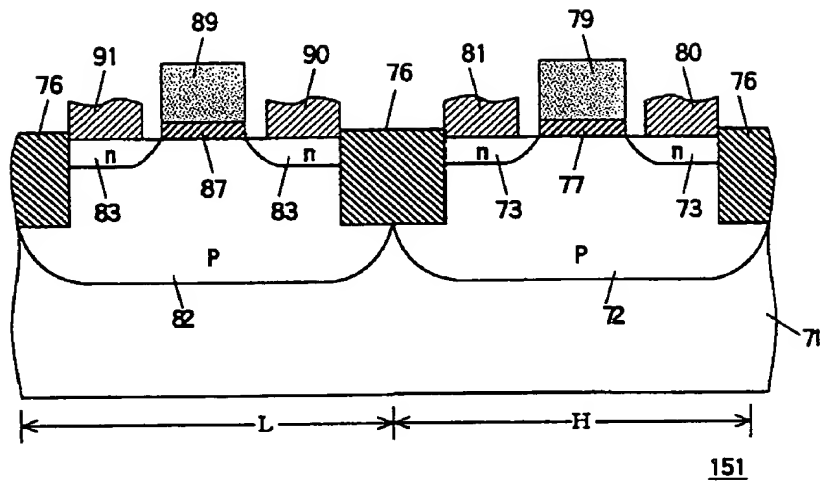


【도 39】



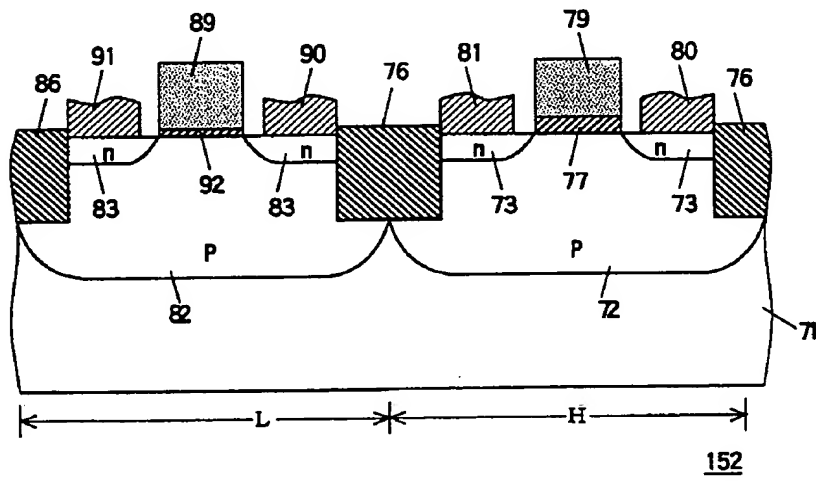
【도 40】

(종래 기술)



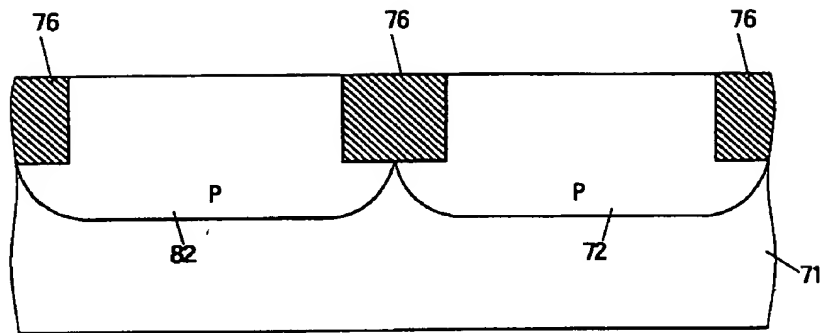
【도 41】

(종래 기술)



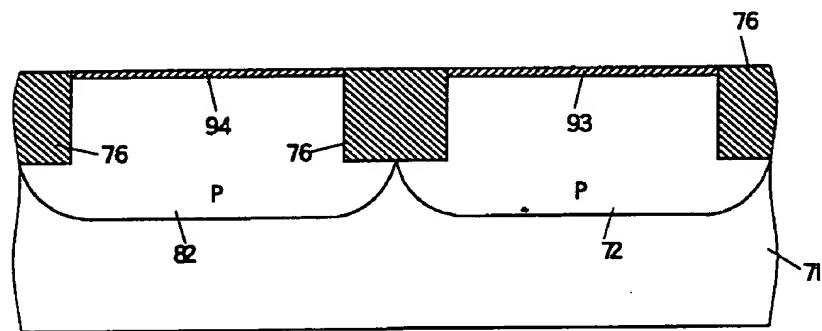
【도 42】

(종래 기술)



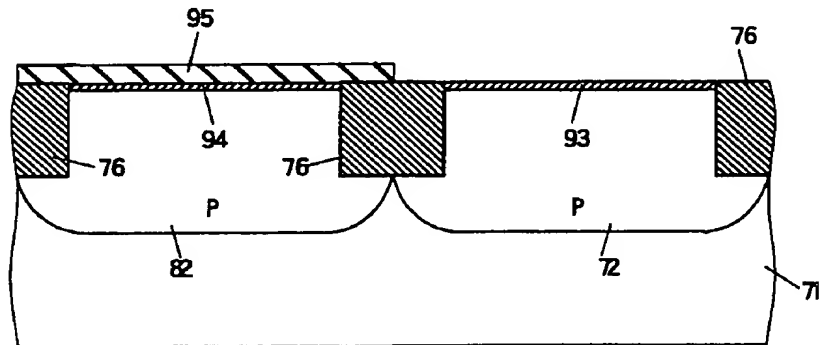
【도 43】

(종래 기술)



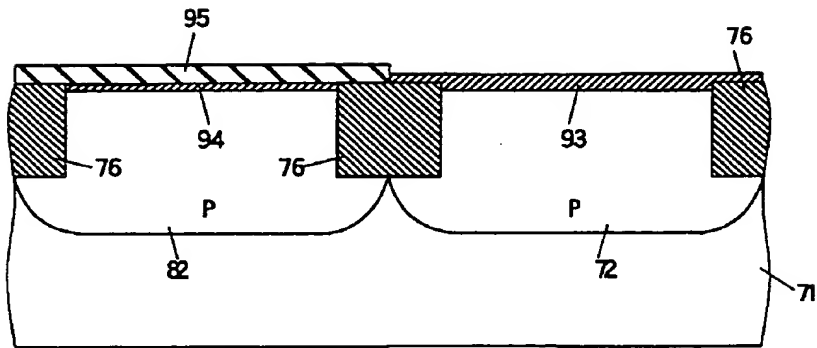
【도 44】

(종래 기술)



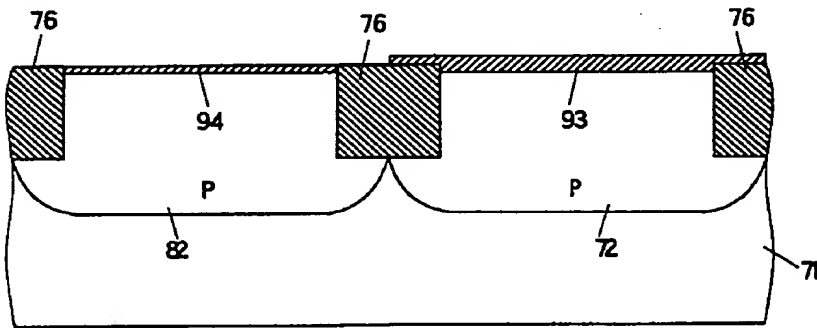
【도 45】

(종래 기술)



【도 46】

(종래 기술)



【도 47】

(종래 기술)

